

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kousuke YOSHIMURA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: POWER CONVERSION APPARATUS AND POWER CONVERSION SYSTEM HAVING THE  
POWER CONVERSION APPARATUS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY  
Japan

APPLICATION NUMBER  
2003-100306

MONTH/DAY/YEAR  
April 3, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月 3日

出 願 番 号

Application Number:

特願2003-100306

[ ST.10/C ]:

[ JP 2003-100306 ]

出 願 人

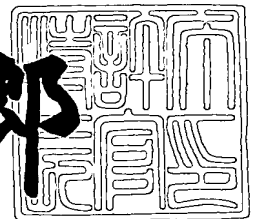
Applicant(s):

三菱電機株式会社

2003年 5月 6日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3033057

【書類名】 特許願

【整理番号】 539057JP01

【提出日】 平成15年 4月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 7/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 吉村 浩介

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会  
社内

【氏名】 宮本 昇

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100098280

【弁理士】

【氏名又は名称】 石野 正弘

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電力変換装置およびその電力変換装置を備える電力変換システム装置

【特許請求の範囲】

【請求項 1】 電力用スイッチング素子と、そのスイッチング素子を制御する素子制御回路と、前記スイッチング素子の出力電圧を検知してその出力電圧に応じた第 1 の信号を出力する電圧センサと、前記スイッチング素子の出力電流を検知してその出力電流に応じた第 2 の信号を出力する電流センサとを備え、

前記素子制御回路は、

前記スイッチング素子に駆動信号を出力する駆動回路と、

前記駆動信号の値を補正する補正回路と

を含み、

前記補正回路は、前記駆動回路から前記駆動信号を取得し、前記電圧センサから前記第 1 の信号を取得し、かつ、前記電流センサから前記第 2 の信号を取得すると、前記第 1 の信号の値および前記第 2 の信号の値を演算処理してスイッチング損失を求め、前記スイッチング損失の値を第 1 の基準値と比較し、かつ、前記第 1 の信号の値を第 2 の基準値と比較し、前記スイッチング損失の値が前記第 1 の基準値を超えること、および、前記第 1 の信号の値が前記第 2 の基準値を超えることの少なくとも一方を満たす場合に、その超えた値が対応する前記基準値以下になるように前記駆動信号の値を補正する電力変換装置。

【請求項 2】 前記駆動回路が、

前記スイッチング素子の制御端子に接続され、前記制御端子に印加する電圧を生成する可変抵抗と、

前記可変抵抗の値を変化させる抵抗制御回路と

を備え、

前記補正回路は、前記抵抗制御回路に、前記可変抵抗がとるべき第 1 の抵抗値を示す駆動補正信号を出力し、

前記抵抗制御回路は、前記駆動補正信号が入力されると、前記可変抵抗の値が前記第 1 の抵抗値に等しくなるように、前記可変抵抗を変化させる請求項 1 に記

載の電力変換装置。

【請求項 3】 前記駆動回路が、

前記スイッチング素子の制御端子に接続されるトランジスタと、  
前記トランジスタの制御端子に制御信号を出力するトランジスタ駆動回路と  
を備え、

前記トランジスタは、前記スイッチング素子の前記制御端子に、入力される前  
記制御信号に応じた電流を出力し、

前記補正回路は、前記トランジスタ駆動回路に、前記トランジスタに出力すべ  
き制御信号の値を示す駆動補正信号を出力し、

前記トランジスタ駆動回路は、前記駆動補正信号が入力されると、前記ラン  
ジスタに、その駆動補正信号が示す値の制御信号を出力する請求項 1 に記載の電  
力変換装置。

【請求項 4】 前記駆動回路が、

前記スイッチング素子の制御端子に接続される、並列に接続された複数のラン  
ジスタと、

前記トランジスタの各々の制御端子に制御信号を出力するトランジスタ駆動回  
路と

を備え、

前記トランジスタの各々は、前記スイッチング素子の制御端子に、入力される  
前記制御信号に応じた電流を出力し、

前記補正回路は、前記トランジスタ駆動回路に、前記制御信号を出力すべき前  
記トランジスタの個数を示す駆動補正信号を出力し、

前記トランジスタ駆動回路は、前記駆動補正信号が入力されると、その駆動補  
正信号が示す個数の前記トランジスタに前記制御信号を出力する請求項 1 に記載  
の電力変換装置。

【請求項 5】 電力用スイッチング素子と、そのスイッチング素子を制御す  
る素子制御回路と、前記スイッチング素子の駆動状態を検知してその駆動状態に  
応じた保護状態信号を出力する状態センサと、前記スイッチング素子の温度を検  
知してその温度に応じた温度信号を出力する温度センサと

を備え、

前記素子制御回路は、

前記保護状態信号を取得し、前記保護状態信号の値と基準値とを比較して、その比較結果に基づく信号を出力する保護回路と、

前記基準値を補正する補正回路とを含み、

前記補正回路は、前記温度センサから前記温度信号を取得し、かつ、前記状態センサから前記保護状態信号を取得して、前記温度信号に応じた第 3 の基準値を設定し、その第 3 の基準値を示す保護補正信号を前記保護回路に出力する電力変換装置。

【請求項 6】 前記保護回路が、

基準電圧を分圧する複数の分圧抵抗と、

少なくとも 1 つの前記分圧抵抗を選択し、前記基準電圧と選択された前記分圧抵抗とにより、比較電圧を生成する選択回路と、

前記選択回路から出力された前記比較電圧の値と前記保護状態信号の値とを比較する比較回路と

を備え、

前記選択回路は、前記保護補正信号を取得し、前記比較電圧の値が前記第 3 の基準値に等しくなるように、少なくとも 1 つの前記分圧抵抗を選択する請求項 5 に記載の電力変換装置。

【請求項 7】 前記補正回路は、前記駆動信号の立ち上がり時および立ち下がり時に、前記駆動信号、前記第 1 の信号および前記第 2 の信号を駆動入力信号として取得し、

前記補正回路は、前記駆動信号の立ち上がり時に、前記駆動信号の所定回数前の立ち上がり時に取得した前記駆動入力信号に基づいて前記駆動信号の値を補正し、前記駆動信号の立ち下がり時に、前記駆動信号の所定回数前の立ち下がり時に取得した前記駆動入力信号に基づいて前記駆動信号の値を補正する請求項 1 に記載の電力変換装置。

【請求項 8】 前記補正回路は、前記電力変換装置の起動後における前記駆動信号の最初の立ち上がり時に、前記駆動信号、前記第 1 の信号および前記第 2

の信号を駆動入力信号として取得し、それ以降の前記駆動信号の全ての立ち上がり時に、その最初の立ち上がり時に取得した前記駆動入力信号に基づいて前記駆動信号の値を補正し、

前記補正回路は、前記電力変換装置の起動後における前記駆動信号の最初の立ち下がり時に、前記駆動入力信号を取得し、それ以降の前記駆動信号の全ての立ち下がり時に、その最初の立ち下がり時に取得した前記駆動入力信号に基づいて前記駆動信号の値を補正する請求項 1 に記載の電力変換装置。

【請求項 9】 前記補正回路は、前記駆動信号の立ち上がり時、および、前記駆動信号の立ち下がり時に、前記保護状態信号を取得し、

前記補正回路は、前記駆動信号の立ち上がり時に、前記駆動信号の所定回数前の立ち上がり時に取得した前記保護状態信号に基づいて前記基準値を補正し、前記駆動信号の立ち下がり時に、前記駆動信号の所定回数前の立ち下がり時に取得した前記保護状態信号に基づいて前記基準値を補正する請求項 5 に記載の電力変換装置。

【請求項 10】 前記補正回路は、前記電力変換装置の起動後における前記駆動信号の最初の立ち上がり時に、前記保護状態信号を取得し、それ以降の前記駆動信号の全ての立ち上がり時に、その最初の立ち上がり時に取得した前記保護状態信号に基づいて前記基準値を補正し、

前記補正回路は、前記電力変換装置の起動後における前記駆動信号の最初の立ち下がり時に、前記保護状態信号を取得し、それ以降の前記駆動信号の全ての立ち下がり時に、その最初の立ち下がり時に取得した前記保護状態信号に基づいて前記基準値を補正する請求項 5 に記載の電力変換装置。

【請求項 11】 前記補正回路が、前記駆動補正信号または前記保護補正信号を記憶する補正記憶回路を備えた請求項 2 から請求項 6 のいずれかに記載の電力変換装置。

【請求項 12】 前記素子制御回路が、前記素子制御回路と前記素子制御回路を制御する制御装置との間の信号のやり取りを行うレベルシフト回路を備える請求項 1 から請求項 11 のいずれかに記載の電力変換装置。

【請求項 13】 電力用スイッチング素子と、そのスイッチング素子を制御



する素子制御回路と、前記スイッチング素子の出力電圧を検知してその出力電圧に応じた第 1 の信号を出力する電圧センサと、前記スイッチング素子の出力電流を検知してその出力電流に応じた第 2 の信号を出力する電流センサとを備え、

前記素子制御回路は、

前記スイッチング素子に駆動信号を出力する駆動回路と、

前記前記駆動信号の値を補正する補正回路と

を含み、

前記補正回路は、前記駆動回路から前記駆動信号を取得し、前記電圧センサから前記第 1 の信号を取得し、かつ、前記電流センサから前記第 2 の信号を取得すると、前記第 1 の信号の値および前記第 2 の信号の値を演算処理してスイッチング損失を求め、前記スイッチング損失の値を第 1 の基準値と比較し、かつ、前記第 1 の信号の値を第 2 の基準値と比較し、前記スイッチング損失の値が前記第 1 の基準値を超えること、および、前記第 1 の信号の値が前記第 2 の基準値を超えることの少なくとも一方を満たす場合に、その超えた値が対応する前記基準値以下になるように前記駆動信号の値を補正する少なくとも 1 つの上アーム用の電力変換装置と、

電力用スイッチング素子と、そのスイッチング素子を制御する素子制御回路と、前記スイッチング素子の出力電圧を検知してその出力電圧に応じた第 1 の信号を出力する電圧センサと、前記スイッチング素子の出力電流を検知してその出力電流に応じた第 2 の信号を出力する電流センサとを備え、

前記素子制御回路は、

前記スイッチング素子に駆動信号を出力する駆動回路と、

前記前記駆動信号の値を補正する補正回路と

を含み、

前記補正回路は、前記駆動回路から前記駆動信号を取得し、前記電圧センサから前記第 1 の信号を取得し、かつ、前記電流センサから前記第 2 の信号を取得すると、前記第 1 の信号の値および前記第 2 の信号の値を演算処理してスイッチング損失を求め、前記スイッチング損失の値を第 1 の基準値と比較し、かつ、前記第 1 の信号の値を第 2 の基準値と比較し、前記スイッチング損失の値が前記第 1

の基準値を超えること、および、前記第1の信号の値が前記第2の基準値を超えることの少なくとも一方を満たす場合に、その超えた値が対応する前記基準値以下になるように前記駆動信号の値を補正する少なくとも1つの下アーム用の電力変換装置と

から成る電力変換システム装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、インバータ装置に用いられる電力変換装置およびその電力変換装置を備える電力変換システム装置に関する。

【0002】

【従来の技術】

一般産業用途および自動車用途のインバータ装置は、通常、モータ（負荷）を駆動する電力変換装置を備える。例えば、インバータ装置が三相インバータ装置である場合、電力変換装置は、U、V、Wの各相における絶縁ゲート型バイポーラトランジスタ（insulated gate bipolar transistor：IGBT、以下「IGBT」という。）と、IGBTの各々に逆並列に接続されるフリーホイールダイオード（Free Wheel Diode：FWD、以下「FWD」という。）と、それらのパワー素子（1つのパワー素子は、1つのIGBTと1つのFWDから成る。）を制御する素子制御回路とを備える。素子制御回路は、一般に、上位制御回路と信号のやり取りを行うインタフェース回路、パワー素子を駆動する駆動回路、および、パワー素子の過電圧や過電流等の異常を検知してそれを保護する保護回路等を含む。保護回路は、分圧抵抗およびコンパレータを有し、そのコンパレータにより、各種センサから出力される信号の値と、一定の基準値（基準電圧と分圧抵抗によって生成される電圧の値）とを比較して、信号の値が基準値を越える（下回る）場合にはIGBTのゲート遮断等を指示する信号を出力する。これにより、IGBTの過熱、過電流（短絡、過負荷）、過電圧、および、素子制御回路の電源電圧の低下等によるIGBTおよびモータの破壊を防ぐことができる。

## 【0003】

以上のような電力変換装置の特性として重要なものは、IGBTのオン／オフ時のスイッチング損失と、オフ時のサージ電圧である。スイッチング損失（ $ESW(ON)/ESW(OFF)$ ）は、IGBTの出力電圧（コレクターエミッタ間電圧 $V_{CE}$ ）と出力電流（ $I_C$ ）との積で表わされる。スイッチング損失は、電力変換装置におけるスイッチング時のエネルギー損失を示すため、その値はできるだけ小さいことが望ましい。

## 【0004】

また、サージ電圧（ $V_{surge}$ ）は、電力変換装置の内外の配線による寄生インダクタンス $L$ と、IGBTのオフ時における出力電流 $I_C(OFF)$ の変化率とを用いて、式（1）のように定義される。サージ電圧は、IGBTやFWDの耐圧を決定する。同じ値の出力電流 $I_C$ を流す場合、IGBTやFWDは、その耐圧が小さいほど、より大きいチップ面積を必要とするので、コストの観点から、サージ電圧の値はできるだけ小さいことが望ましい。

## 【数1】

$$V_{surge} = dI_C(OFF)/dt \times L \quad (1)$$

このサージ電圧と、スイッチング損失とはトレードオフの関係にある。

## 【0005】

例えば、従来のインバータ装置には、並列に接続された2つのインバータ回路と、これらのインバータ回路の出力電圧を位相制御信号によって制御する制御回路とを備え、2つの出力電圧を合成した出力電圧においてサージ電圧の周波数を検出し、その検出した周波数により位相制御信号を補正することによって、サージ電圧を抑制するものがある（例えば、特許文献1参照。）。

## 【0006】

## 【特許文献1】

特開平10-225130号公報（第2-5頁、図1）

## 【0007】

## 【発明が解決しようとする課題】

従来の電力変換装置において、IGBTの出力電圧 $V_{CE}$ および出力電流 $I_C$

は、IGBT素子および駆動回路の互いに独立した各特性によって決定されるため、部品のバラツキ、温度による特性変動および経時変化等によって、その値が変動する。そして、これに伴い、スイッチング損失やサージ電圧の値が変動する。スイッチング損失やサージ電圧の変動量が大きくなりすぎると、電力変換装置としての特性が低下したり、電力変換装置やモータ負荷の誤動作を起こすといった課題があった。

## 【0008】

特許文献1などに開示されるインバータ装置は、サージ電圧の抑制を目的としているが、スイッチング損失の増大による特性低下については言及していない。

## 【0009】

また、従来の保護回路は、一定の保護レベルをもつが、同一の制御状態でも、IGBTの出力電圧 $V_{CE}$ 、IGBTの出力電流 $I_C$ およびそれらの検出回路が、温度変化や経時変化等によって変動するため、実際の保護レベルは変動し、不都合が生じるという問題があった。そのため、変動によっては、素子が異常動作をしていなくとも異常とみなされてしまうというといった問題を生じていた。その結果、保護機能が低下して、電力変換装置としての特性が低下したり、その結果、電力変換装置が誤動作を起こすといった課題があった。

## 【0010】

上記特性低下を防ぐために、スイッチング損失やサージ電圧の値の変動を見越して電力変換装置を設計する場合もあるが、これは、チップサイズが増大するという問題を生じる。例えば、サージ電圧の値の変動を見越して、パワー素子の耐圧を基準値より高く設定すると、チップサイズが増大する。チップサイズの増大は、歩留まりの低下をもたらし、その結果、コストが上昇するという課題が存在する。

## 【0011】

また、保護レベルの変動を見越して電力変換装置を設計する場合であっても、各保護レベルにマージンを持たせるため、短絡時、高温時、電源電圧低下時の保護レベルの規格を緩める必要があり、チップサイズが増大するという課題があった。例えば、パワー素子の定格電流を増加させて、短絡の余裕を確保したり、電

源電圧低下に伴う I G B T のゲート電圧低下時の出力電流  $I_c$  特性を確保するために、チップサイズを大きくする必要があった。また、高温時の特性確保を目的として、パワー素子やパワー素子制御回路をより放熱性のよい構造体に組み込むために、高価な材料を用いる必要が生じ、電力変換装置のコストが上昇するという課題があった。結果として、従来の電力変換装置は、特性の低下、または、チップサイズの増大およびコストの上昇が避けられないという課題があった。

## 【 0 0 1 2 】

そこで、本発明の目的は、環境の変化や経時変化等によって、その特性が影響を受けない電力変換装置を提供することである。

## 【 0 0 1 3 】

## 【課題を解決するための手段】

本発明による電力変換装置は、電力用スイッチング素子と、そのスイッチング素子を制御する素子制御回路と、前記のスイッチング素子の出力電圧を検知してその出力電圧に応じた第 1 の信号を出力する電圧センサと、前記のスイッチング素子の出力電流を検知してその出力電流に応じた第 2 の信号を出力する電流センサとを備える。前記の素子制御回路は、前記のスイッチング素子に駆動信号を出力する駆動回路と、前記の駆動信号の値を補正する補正回路とを含む。前記の補正回路は、前記の駆動回路から前記の駆動信号を取得し、前記の電圧センサから前記の第 1 の信号を取得し、かつ、前記の電流センサから前記の第 2 の信号を取得すると、前記の第 1 の信号の値および前記の第 2 の信号の値を演算処理してスイッチング損失を求め、前記のスイッチング損失の値を第 1 の基準値と比較し、かつ、前記の第 1 の信号の値を第 2 の基準値と比較し、前記のスイッチング損失の値が前記の第 1 の基準値を超えること、および、前記の第 1 の信号の値が前記の第 2 の基準値を超えることの少なくとも一方を満たす場合に、その超えた値が対応する前記の基準値以下になるように前記の駆動信号の値を補正する。

## 【 0 0 1 4 】

## 【発明の実施の形態】

以下に、添付の図面を参照して、本発明の実施の形態について説明する。

実施の形態 1.

図1は、本発明によるインバータ装置の構成を示すブロック図である。図1において、インバータ装置1は、三相インバータ装置であり、モータ（負荷）2を駆動する電力変換部3と、その電力変換部3を制御する上位制御部（PMW信号生成部）4とを備える。電力変換部3は、6つのパワー素子（5, 6, 7, 8, 9, 10）と、それらのパワー素子（5, 6, 7, 8, 9, 10）を制御する素子制御部11とを有する。パワー素子（5, 6, 7, 8, 9, 10）は、それぞれ、1つのIGBTと逆並列に接続された1つのFWDとから成る。素子制御部11は、上位制御部4と信号のやり取りを行うインタフェース部12、パワー素子（5, 6, 7, 8, 9, 10）を駆動させる駆動部13、パワー素子（5, 6, 7, 8, 9, 10）の異常を検知してその素子を保護する保護部14、および、パワー素子（5, 6, 7, 8, 9, 10）の駆動状態に応じて駆動部13や保護部14に動作の補正を指示する補正部15を含む。電力変換部3は、さらに、パワー素子（5, 6, 7, 8, 9, 10）の温度を検知する温度検知部16、IGBTの出力電流（ $I_C$ ）を検知する素子電流検知部17、IGBTのコレクター-エミッタ間電圧（ $V_{CE}$ ）を検知する電圧検知部18、および、モータ2を流れる電流を検知する負荷電流検知部19を備える。

#### 【0015】

ここで、電力変換部3は、1以上の集積回路（integrated circuit: IC）チップで構成できる。最初に、電力変換部3を6つのICチップで構成する場合について説明する。この場合、上位制御部4は、6つのICチップを制御する単一の上位制御回路（例えば、マイクロコンピュータ）である。

#### 【0016】

図2は、図1に示された電力変換部3を6つのICチップで構成したときの、1つのICチップの構成を示すブロック図である。図2において、1つのICチップ（電力変換装置）30は、1つのパワー素子5と、そのパワー素子5を制御する素子制御回路34とを有する。パワー素子5は、IGBT32とそのIGBT32に逆並列に接続されたFWD33とから成る。素子制御回路34は、上位制御回路4と信号のやり取りを行うインタフェース回路35、パワー素子5を駆動させる駆動回路36、パワー素子5における過電圧や過電流等の異常を検知し

てパワー素子 5 を保護する保護回路 37、および、パワー素子 5 の駆動状態に応じて、駆動回路 36 および保護回路 38 に動作の補正を指示する補正回路 38 を備える。補正回路 38 は、補正処理回路 40 および補正記憶回路 41 を含む。さらに、電力変換装置 30 は、パワー素子 5 の温度を検知する温度センサ 50、IGBT 32 の出力電流を検知する素子電流センサ 51、電力変換装置 30 の P-N 間電圧を検知する電圧センサ 52、および、電力変換装置 30 の出力電流（負荷電流）を検知する負荷電流センサ 53 を含む。

## 【0017】

次に、電力変換装置 30 の動作について説明する。電力変換装置 30 のインタフェース回路 35 は、上位制御回路 4 から、パワー素子 5 の駆動を指示する駆動信号 a1 を取得する。インタフェース回路 35 は、その駆動信号 a1 を駆動回路 36 に出力する。駆動回路 36 は、駆動信号 a1 に応じて IGBT 32 のゲート端子に駆動信号 a2（電圧信号）を出力する。IGBT 32 は、その駆動信号 a2 に応じて動作する。

## 【0018】

温度センサ 50 は、パワー素子 5 の温度を検知する。ここで、温度センサ 50 は、パワー素子 5 に内蔵されても、パワー素子 5 の外部で IC チップに実装されてもよい。温度センサ 50 は、検知した温度の値に応じた信号 a3 を、保護回路 37、補正回路 38 および上位制御回路 4 に出力する。

## 【0019】

素子電流センサ 51 は、IGBT 32 の出力電流  $I_C$  を検知する。ここで、素子電流センサ 51 は、IGBT 32 のコレクタ端子に直接接続されても、電流経路の外部に設置されてもよい。素子電流センサ 51 は、検知した出力電流  $I_C$  の値に応じた信号 a4 を、保護回路 37 および補正回路 38 に出力する。

## 【0020】

保護回路 37 は、温度センサ 50 から出力される温度信号 a3、素子電流センサ 51 から出力される素子電流信号 a4、および、素子制御回路 34 の電源電圧を示す電圧信号 a5 を取得する。保護回路 37 は、取得した信号（a3、a4、a5）の値を、それぞれ、所定の基準値と比較し、比較した結果、パワー素子 5

の動作が異常であると判断した場合には、インタフェース回路 35 に、異常信号 a 6 を出力する。インタフェース回路 35 は、保護回路 37 から異常信号 a 6 を受け取ると、上位制御回路 4 にエラー信号 a 7 を出力する。上位制御回路 4 は、エラー信号 a 7 を受け取ると、パワー素子 5 のゲート遮断（動作停止）を指示する駆動信号 a 1 を出力する。

## 【0021】

電圧センサ 52 は、電力変換装置 30 の P-N 間電圧を検知して、その電圧の値に応じた信号 a 8 を、補正回路 38 および上位制御回路 4 に出力する。また、負荷電流センサ 53 は、負荷電流を検知して、その負荷電流の値に応じた信号 a 9 を、補正回路 38 および上位制御回路 4 に出力する。なお、上位制御回路 4 は、温度センサ 50 から出力される温度信号 a 3、電圧センサ 52 から出力される電圧信号 a 8 および負荷電流センサ 53 から出力される負荷電流信号 a 9 を取得し、それらの入力信号（a 3, a 8, a 9）の値に応じて、モータ 2 の制御を行う。

## 【0022】

補正回路 38 は、駆動回路 36 から出力される駆動信号 a 2、温度センサ 50 から出力される温度信号 a 3、素子電流センサ 51 から出力される素子電流信号 a 4、素子制御回路 34 の電源電圧を示す電圧信号 a 5、電圧センサ 52 から出力される電圧信号 a 8、および、負荷電流センサ 53 から出力される負荷電流信号 a 9 を取得する。補正回路 38 は、信号（a 2, a 3, a 4, a 5, a 8, a 9）が入力されると、それら信号の値を用いて演算処理を行う。補正回路 38 は、その演算結果に基づいて、駆動回路 36 の出力信号（駆動信号）a 2 の値を補正し、かつ、保護回路 37 の基準値を補正する。その際、駆動回路 36 および保護回路 37 に出力される信号は、それぞれ、補正信号 a 20（駆動補正信号）および補正信号 a 21（保護補正信号）である。

## 【0023】

以下に、上記駆動信号 a 2 が補正される場合について、駆動回路 36 と補正回路 38 の構成および動作について説明する。上述したように、スイッチング損失およびサージ電圧は、トレードオフの関係にある。補正回路 38 は、入力された



た信号に基づいて常にスイッチング電圧およびサージ電圧の値を求め（補正回路 38 は、IGBT 32 の駆動状態を常にモニタする）、それらの値の少なくとも一方が所定の範囲から外れると、駆動回路 36 に駆動信号 a 2 を補正するよう指示する。図 3 は、補正回路 38 の指示により駆動信号 a 2 が補正される場合の、電力変換装置 30 における信号の流れを示す図である。補正回路 38 は、入力信号として、駆動信号 a 2、電圧センサ 52 から出力される電力変換装置 30 の P-N 間電圧の値（IGBT 32 がオフの場合は、IGBT 32 のコレクターエミッタ電圧  $V_{CE}$  に等しい。）を示す信号 a 8、負荷電流センサ 53 から出力される負荷電流の値（IGBT 32 がオンの場合は、出力電流  $I_C$  に等しい。）を示す信号 a 9 を取得する。そして、それら信号（a 2, a 8, a 9）の値を用いて、スイッチング損失の値およびサージ電圧の値を求め、それらが所定の範囲から外れる場合は、所定の範囲内になるように、取得した駆動信号 a 2 を補正するための補正データを求める。補正回路 38 は、この補正データを示す補正信号 a 20 を駆動回路 36 に出力する。駆動回路 36 は、補正信号 a 20 に従って、駆動信号 a 2 を補正し、補正された駆動信号 a 2 を IGBT 32 のゲート端子に出力する。

## 【0024】

図 4 は、IGBT 32 に入力される駆動信号 a 2 とその場合の IGBT 32 の動作を説明する波形図である。図 3 において、(1) は、上位制御回路 4 から出力される駆動信号 a 1、(2) は、上位制御回路 4 から (1) の駆動信号 a 1 が出力されたときに IGBT 32 に入力される駆動信号 a 2、(3) は、(2) の駆動信号 a 2 が入力されたときの IGBT 32 の出力電圧 ( $V_{CE}$ )、(4) は、(2) の駆動信号 a 2 が入力されたときの IGBT 32 の出力電流 ( $I_C$ ) を示す。補正回路 38 は、IGBT 32 のオン時およびオフ時のそれぞれにおいて、IGBT 32 の駆動信号 a 2 を時間的に変化させ ( $t_1 - t_3$  および  $t_4 - t_6$ )、スイッチング損失（斜線部分）の値およびサージ電圧 ( $V_{surge}$ ) の値を最適化する。

## 【0025】

まず、駆動回路 36 について説明する。図 5 は、駆動回路 36 の構成を示す回

路図である。図5(a)において、駆動回路36は、ゲート駆動回路用駆動回路202、オン側ゲート駆動回路204、オフ側ゲート駆動回路206、オン側ゲート駆動回路204に接続されたNチャネルMOSFET208、オフ側ゲート駆動回路206に接続されたNチャネルMOSFET210、NチャネルMOSFET208に直列接続された抵抗212、および、NチャネルMOSFET210に直列に接続された抵抗214を備える。また、ゲート駆動回路用駆動回路202は、抵抗212および抵抗214の抵抗値を変化させる抵抗制御回路216を含む。MOSFET208は、そのゲート端子(G)、ソース端子(S)およびドレイン端子(D)が、それぞれ、オン側ゲート駆動回路204、抵抗212および電源Vccに接続される。MOSFET210は、そのゲート端子(G)およびドレイン端子(D)が、それぞれ、オフ側ゲート駆動回路206および抵抗214に接続され、そのソース端子(S)が、接地される。抵抗307、208は、ともに、IGBT32のゲート端子に接続される。

#### 【0026】

ゲート駆動回路用駆動回路202には、駆動信号a1および補正信号a20が入力される。ゲート駆動回路用駆動回路202は、駆動信号a1が入力されると、その駆動信号a1がIGBT32のオンを指示するときは、オン側ゲート駆動回路204およびオフ側ゲート駆動回路206に、それぞれ、動作開始を指示する信号および動作停止を指示する信号を出力する。また、ゲート駆動回路用駆動回路202は、その駆動信号a1がIGBT32のオフを指示するときは、オン側ゲート駆動回路204およびオフ側ゲート駆動回路206に、それぞれ、動作停止を指示する信号および動作開始を指示する信号を出力する。オン側ゲート駆動回路204およびオフ側ゲート駆動回路206は、ゲート駆動回路用駆動回路202から動作開始を指示する信号が入力されると、電源Vccから出力される電圧信号a30を利用して、それぞれ、MOSFET208のゲート端子およびMOSFET210のゲート端子に出力する電圧信号を生成して出力する。MOSFET208およびMOSFET210は、それぞれ、上記電圧信号が入力されるとオンする。結果として、MOSFET208がオンしたときは、MOSFET208のソース端子から、抵抗212を通過して、IGBT32のゲート端子

に電流が流れ、IGBT32がオンする。一方、MOSFET210がオンしたときは、IGBT32のゲート端子から、抵抗214を通して、MOSFET210のドレイン端子に電流が流れ、IGBT32がオフする。

## 【0027】

ここで、図5(b)は、抵抗212の構成を示す図である。抵抗212は、並列に接続された複数の抵抗とスイッチから成る。抵抗212は、各々のスイッチをオンまたはオフすることにより、その抵抗212全体の抵抗値を変化させることができる。これは、抵抗214の構成についても当てはまる。抵抗制御回路216は、補正信号a20が入力されると、その補正信号a20に応じて、抵抗212または抵抗214のスイッチを切り替える信号a32を出力する。例えば、ゲート駆動回路駆動回路202に駆動信号a1および補正信号a20が入力され、かつ、そのときに駆動信号a1がIGBT32のオフを指示する場合は、抵抗制御回路216は、補正信号a20に応じて、抵抗214のスイッチを切りかえる信号a32を出力する。

## 【0028】

以上のように、駆動回路36において、IGBT32のオン時には抵抗212の抵抗値を、IGBT32のオフ時には抵抗214の抵抗値を変化させることにより、それぞれ、IGBT32に印加されるゲート電圧の変化率を変えることができる。

## 【0029】

次に、補正回路38について説明する。本実施の形態の電力変換装置30において、補正回路38は、IGBT32の出力電圧および出力電流を常にモニタし、IGBT32のスイッチング損失およびサージ電圧が所定の範囲内に収まるように、IGBT32に出力される駆動信号a2を制御する。図6は、補正回路38の動作を示すフローチャートである。補正回路38は、入力信号を取得した(ステップS1)後、まず、信号a9の値(ここでは、 $I_{C0}$ とする)と、過電流設定値( $I_{over}$ )とを比較する(ステップS2)。そして、 $I_{C0}$ が $I_{over}$ よりも大きい場合には、IGBTのゲート遮断(動作停止)を指示する補正データを生成する(ステップS3)。 $I_{C0}$ が $I_{over}$ よりも小さい場合には

、補正回路38は、次のステップに進み、信号a8の値（ここでは、 $V_{CE0}$ とする）と、過電圧設定値（ $V_{over}$ ）とを比較する（ステップS4）。ここで、 $V_{CE0}$ が $V_{over}$ よりも大きい場合には、IGBTのゲート遮断（動作停止）を指示する補正データを生成する（ステップS3）。 $I_{CO}$ が $I_{over}$ よりも小さい場合には、補正回路38は、次のステップに進み、演算処理を行って、スイッチング損失の値を求める（ステップS5）。このとき、スイッチング損失の値は、以下の式（2）によって求められる。

【数2】

$$E_{SW} = \int V_{CE0} \times I_{CO} dt \quad (2)$$

【0030】

次に、ステップS5で求められた $E_{SW}$ と、基準のスイッチング損失の値（以下、「ロス基準値 $Ref E_{SW}$ 」という。）とを比較する（ステップS6）。そして、 $E_{SW}$ が $Ref E_{SW}$ よりも大きい場合には、 $E_{SW}$ が $Ref E_{SW}$ 以下になるように、駆動回路36に設けられたIGBT32のゲート抵抗（図5における抵抗212または抵抗214）が有すべき新しい抵抗値を計算する（ステップS7）。これは、駆動回路36に出力される補正データである。具体的に、新しいゲート抵抗値を $R_{g_{new}}$ 、これまでのゲート抵抗値を $R_{g_{old}}$ 、所定のゲート抵抗変更値を $det Rg1$ とすると、新しいゲート抵抗値 $R_{g_{new}}$ は、式（3）で示される。この場合、IGBT32のスイッチング損失を軽減するために、新しいゲート抵抗値 $R_{g_{new}}$ は、これまでのゲート抵抗値 $R_{g_{old}}$ よりも小さく設定される。

【数3】

$$R_{g_{new}} = R_{g_{old}} - det Rg1 \quad (3)$$

【0031】

$E_{SW}$ が $Ref E_{SW}$ よりも小さい場合は、次のステップS8に進む。ステップS8においては、 $V_{CE0}$ と、基準のサージ電圧の値（以下、「サージ電圧基準値 $Ref V_{CE}$ 」という。）とを比較する（ステップS8）。 $V_{CE0}$ が $Ref V_{CE}$ よりも大きい場合には、補正回路38は、それをサージ電圧と判断し、 $V_{CE0}$ が $Ref V_{CE}$ 以下になるように、駆動回路36に設けられたIGBT

3.2のゲート抵抗が有すべき新しい抵抗値を計算する(ステップS9)。これは、駆動回路36に出力される補正データである。具体的に、新しいゲート抵抗値を $R_{g\_new}$ 、これまでのゲート抵抗値を $R_{g\_old}$ 、ゲート抵抗変更値を $det R_{g2}$ とすると、新しいゲート抵抗値を $R_{g\_new}$ は、式(4)で示される。この場合、IGBT32のサージ電圧を抑制するために、新しいゲート抵抗値 $R_{g\_new}$ は、これまでのゲート抵抗値 $R_{g\_old}$ よりも大きく設定される。

【数4】

$$R_{g\_new} = R_{g\_old} + det R_{g2} \quad (4)$$

【0032】

その後、補正回路38は、以上のようにして得られた補正データを示す補正信号a20を出力する(ステップS10)。

【0033】

上述された工程において、ステップS2からステップS9は、補正処理回路40で行われる。ここで、ステップS1やステップS10も、補正処理回路40で行われてよい。また、 $I_{over}$ 、 $V_{over}$ 、ロス基準値 $Ref E_{SW}$ およびサージ電圧基準値 $Ref V_{CE}$ は、補正記憶回路41に記憶されている。

【0034】

補正回路38から出力された補正信号a20は、駆動回路36に入力される。駆動回路36は、抵抗値の補正データを示す補正信号a20が入力されると、その抵抗値とIGBT32のゲート抵抗値が等しくなるように、抵抗212または抵抗214の抵抗値を変化させる。また、駆動回路36に入力される補正信号a20がIGBTのゲート遮断(動作停止)を指示するときは、ゲート駆動回路駆動回路202が、一定期間、オン側ゲート駆動回路204およびオフ側ゲート駆動回路206に、それぞれ、動作停止を指示する信号および動作開始を指示する信号を出力する。これにより、IGBT32はゲート遮断となる。

【0035】

本実施の形態による電力変換装置において、補正回路38の指示によって駆動信号a2が補正される場合、補正回路38は、それがすぐに駆動信号a2に反映されるように補正処理を行う。つまり、補正回路38は、駆動信号a2の立ち上

がり時に入力された信号に基づいて補正信号 a 2 0 を生成したとき、その補正信号 a 2 0 を、駆動信号 a 2 の上記立ち上がり時に駆動回路 3 6 に出力し、駆動信号 a 2 の立ち下がり時に入力された信号に基づいて補正信号 a 2 0 を生成したとき、その補正信号 a 2 0 を、駆動信号 a 2 の上記立ち下がり時に出力する。図 7 は、このリアルタイム補正を図式的に説明する図である。一般的に、ゲート駆動信号 a 2 が立ち上がり（オン）から立ち下がり（オフ）へまたは立ち下がり（オフ）から立ち上がり（オン）へ遷移する速さは、 $1\ \mu\text{m}$  以下であるので、電圧センサ 5 2 や負荷電流センサ 5 3 によって信号が出力されてから、補正回路 3 8 で補正処理が行われて、ゲート駆動信号 a 2 が出力されるまでの信号の伝搬遅延時間は、数十 ns である必要がある。

## 【 0 0 3 6 】

本実施の形態による電力変換装置において、補正回路は、スイッチング素子の出力電圧および出力電流を常にモニタし、そのスイッチング素子のスイッチング損失およびサージ電圧が常に所定の範囲内に収まるように、駆動信号を制御する。従って、スイッチング損失やサージ電圧を常に精度良く適切な値に設定でき、それらの値の変動による電力変換装置の特性低下を防ぐことができる。

## 【 0 0 3 7 】

次に、保護回路 3 7 における基準値が補正される場合について、保護回路 3 7 と補正回路 3 8 の構成および動作について説明する。図 8 は、補正回路 3 8 の指示により保護回路 3 7 における基準値が補正される場合の、電力変換装置 3 0 における信号の流れを示す図である。補正回路 3 8 は、入力信号として、温度センサ 5 0 から出力されるパワー素子 5 の温度を示す温度信号 a 3、素子電流センサ 5 1 から出力される I G B T 3 2 の出力信号を示す素子電流信号 a 4、および、素子制御回路 3 4 の電源電圧を示す電圧信号 a 5 を取得する。そして、取得した各々の信号（a 3、a 4、a 5）に対して、補正基準値を設定し、その補正基準値（補正データ）を示す補正信号 a 2 1 を出力する。補正信号 a 2 1 は、保護回路 3 7 に入力され、保護回路 3 7 は、入力された信号（a 3、a 4、a 5）の値と補正信号 a 2 1 が示す補正基準値とを比較する。

## 【 0 0 3 8 】

図 9 は、保護回路 3 7 および補正回路 3 8 の構成を示すブロック図である。図 9 において、保護回路 3 7 は、基準電圧  $V_R$  の出力電圧を分圧する抵抗 4 0 4、4 0 6、4 0 8、分圧抵抗を選択することにより任意の基準電圧を生成できるセレクト回路 4 1 0、各種センサから入力される信号 (a 3, a 4, a 5) を電圧信号に変換する信号変換回路 4 1 2、および、セレクト回路 4 1 0 が生成した電圧の値 (基準値) と、信号変換回路 4 1 2 から出力される信号の値とを比較する比較回路 4 1 4 を備える。補正回路 3 8 は、補正処理回路 4 0 と補正記憶回路 4 1 を備える。

#### 【 0 0 3 9 】

以下に、補正回路 3 8 によって、温度変化による保護レベルの変動が補正される場合について説明する。補正記憶回路 4 1 には、種々の温度に対する信号 a 4 と比較されるべき基準値 (すなわち、種々の温度条件下における I G B T 3 1 の出力電流の保護レベル)、および、種々の温度に対する信号 a 5 と比較されるべき基準値 (すなわち、種々の温度条件下における素子制御回路 3 4 の電源電圧の保護レベル) が記憶されている。種々の温度に対する信号 a 4 と比較されるべき基準値は、出荷試験時に種々の温度条件下で電力変換装置 3 0 を動作させた場合に得られる素子電流センサ 5 1 の出力信号 a 4 の値に基づいて求められる。また、種々の温度に対する信号 a 5 と比較されるべき基準値は、出荷試験時に種々の温度条件下で電力変換装置 3 0 を動作させた場合に得られる素子制御回路 3 4 の電源電圧信号 a 5 の値に基づいて求められる。

#### 【 0 0 4 0 】

以下に、保護回路 3 7 および補正回路 3 8 の動作を説明する。まず、素子電流センサ 5 1 の出力信号に基づいて保護回路 3 7 の基準値を補正する場合について説明する。補正回路 3 8 の補正処理回路 4 0 は、温度センサ 5 0 から出力される信号 a 3、および、素子電流センサ 5 1 から出力される信号 a 4 が入力されると、まず、信号 a 3 により温度を検知する。そして、補正記憶回路 4 1 から、その温度における素子電流センサ 5 1 の出力信号 a 5 が比較されるべき基準値 (補正基準値) を取得し、その補正基準値 (補正データ) を示す補正信号 a 2 1 を、保護回路 3 7 に出力する。

## 【0041】

その補正信号 a 2 1 は、保護回路 3 7 のセレクト回路 4 1 0 に入力される。セレクト回路 4 1 0 は、基準電圧  $V_R$  と分圧抵抗によって生成される電圧の値（基準値）が補正信号 a 2 1 の示す補正基準値に一致するように、その分圧抵抗を選択する。セレクト回路 4 1 0 によって生成される基準値は、信号 a 3 4 として、比較回路 4 0 8 に入力される。比較回路 4 0 8 には、信号 a 4 が入力される。素子電流センサ 5 1 から出力される信号 a 4 は、必要であるならば（電圧信号でないならば）、信号変換回路 4 1 2 によって電圧信号 a 3 6 に変換される。比較回路 4 0 8 は、電圧信号 a 3 6 の値を、電圧信号 a 3 4 と比較する。比較回路 4 1 は、その比較結果に基づき、信号 a 3 8 を出力する。比較回路 4 1 は、電圧信号 a 3 6 の値が、上記基準値を超える、または、下回る場合に、IGBT 3 2 が異常であることを示す異常信号をインタフェース回路 3 5 に出力する。

## 【0042】

なお、図 9 に示された保護回路 3 7 において、素子電流センサ 5 1 から出力される信号 a 4 が、もともと電圧信号である場合には、信号変換回路 4 1 2 を省略することができる。

## 【0043】

以上の補正処理は、素子制御回路 3 4 の電源電圧を示す信号 a 5 についても適用できる。その場合、補正処理回路 4 0 は、電源電圧信号 a 5 が入力されると、同時に取得する温度センサ 5 0 からの出力信号 a 3 により温度を検知し、補正記憶回路 4 1 から、素子制御回路 3 4 の電源電圧を示す信号 a 5 と比較されるべきその温度に対応する基準値（補正基準値）を取得する。そして、その補正基準値（補正データ）を示す補正信号 a 2 1 を、保護回路 3 7 に出力する。保護回路 3 7 の動作は、上述の出力信号 a 4 に対するものと同様であるため省略する。なお、素子制御回路の電源電圧を示す信号 a 5 は、一般に電圧信号であるため、保護回路 3 7 における信号変換回路 4 1 2 は省略できる。

## 【0044】

本実施の形態による電力変換装置では、IGBT 3 2 の出力電流、および、素子制御回路 3 4 の電源電圧の保護レベルが、温度変化によって変動する場合であ



っても、その変動に対応し、基準値を補正することができる。したがって、電力変換装置の特性低下を防止できる。

## 【0045】

本実施の形態による電力変換装置において、補正回路38の指示によって保護回路37における基準値が補正される場合、その基準値は、保護回路37に高速にフィードバックされる。ここで、パワー素子5の温度を示す信号a3、IGBT32の出力電流を示す信号a4および素子制御回路34の電源電圧を示す信号a5が出力されてから、補正回路38で補正処理が行われて、補正信号a21が保護回路37に出力されるまでの信号の伝搬遅延時間は、数十nsである。補正回路38は、駆動信号a2の立ち上がり時に入力された信号に基づいて補正信号a21を生成したとき、その補正信号a21を、駆動信号a2の上記立ち上がり時に保護回路37に出力し、駆動信号a2の立ち下がり時に入力された信号に基づいて補正信号a21を生成したとき、その補正信号a21を、駆動信号a2の上記立ち下がり時に保護回路37に出力する。

## 【0046】

保護回路37は、素子の温度や出力電圧を示す信号の値と、基準値とを、コンパレータにより比較し、上記信号の値が基準値よりも大きい場合（または、信号の値が基準値よりも小さい場合）には、素子が異常動作をしているものとして、異常信号を出力する。本実施の形態による電力変換装置においては、保護回路が比較動作を行う度に適切な基準値を設定するので、温度の変化や経時変化等によって、電力変換装置の各構成要素の特性が変化しても、保護機能が維持される。つまり、正常に動作しているIGBTに異常信号が出力されてしまうといった問題がない。

## 【0047】

本実施の形態による電力変換装置において、補正回路は、スイッチング素子の駆動状態や素子制御回路の電源電圧を常にモニタし、温度の変化によって生じるそれらの保護レベルの変動を常に高精度に補正する。これにより、保護機能低下による電力変換装置の特性低下を防止することができる。また、補正回路から駆動回路および保護回路へフィードバックするまでの応答時間が短いので、急激な

温度変化や内部の電圧変動にも対応できる。

【 0 0 4 8 】

なお、本実施の形態による電力変換装置において、保護回路は、スイッチング素子の温度、出力電流、素子制御回路の電源電圧を検知したが、他の特性であってもよい。例えば、スイッチング素子の出力電圧等である。

【 0 0 4 9 】

なお、補正回路 3 8 は、電圧センサ 5 2 からの出力信号 a 8 により、I G B T 3 2 の出力電圧（コレクターエミッタ電圧  $V_{CE}$ ）を検知することができる。補正回路 3 8 は、この電圧センサ 5 2 からの出力信号 a 8 と素子電流センサ 5 1 からの出力信号 a 4 により、経時変化による保護レベルの変動を補正することができる。以下に、詳細に説明する。まず、補正記憶回路 4 1 には、あらかじめ、I G B T 5 の出力電圧特性、および、I G B T 5 のスイッチング損失特性が、互いに関連付けられて記憶されている。これらの特性は、出荷試験時に電力変換装置 3 0 を一定時間動作させ、その間、素子電流センサ 5 1 の出力信号 a 4（すなわち、I G B T 5 の出力電流）および電圧センサ 5 2 の出力信号 a 8（すなわち、I G B T 5 の出力電圧）を検知し、かつ、それぞれの場合において、検知した値を用いて補正処理回路 4 0 においてスイッチング損失を求めることにより得られる。

【 0 0 5 0 】

電力変換装置の実際の動作時に、補正回路 3 8 は、素子電流センサ 5 1 および電圧センサ 5 2 から、それぞれ、信号 a 4 および信号 a 8 を検知し、それらの値を用いて、補正処理回路 4 0 により、スイッチング損失の値を求める（式（2））。そして、その信号 a 4，a 8 の値および対応するスイッチング損失の値を、補正記憶回路 4 1 に記憶する。以上の動作を何度か繰り返して（一定時間が経過して）、信号 a 4，a 8 の値と対応するスイッチング損失の値について複数のデータが記憶されると、実際に検知されたデータと補正記憶回路 4 1 に記憶されたデータとを比較する。そして、補正記憶回路 4 1 に記憶されたデータよりも、実際に検知されたデータにおける電圧変動に対するスイッチング損失の変動差が大きければ、I G B T 3 2 の出力電圧に関する保護レベルを補正し、一方、電流変

動に対するスイッチング損失の変動差が大きければ、IGBT32の出力電流に関する保護レベルを補正する。つまり、保護レベルを上げる（基準値を大きくする。）なお、スイッチング損失の変動差があらかじめ設定した差に比べて大きい場合は、スイッチング損失の異常とみなし、補正処理を中止する。

## 【0051】

本実施の形態による電力変換装置において、補正回路は、スイッチング素子の駆動状態を常にモニタし、経時変化によって生じるそれらの保護レベルの変動を常に高精度に補正する。これにより、保護機能低下による電力変換装置の特性低下を防止することができる。また、補正回路から駆動回路および保護回路へフィードバックするまでの応答時間が短いので、急激な温度変化や内部の電圧変動にも対応できる。

## 【0052】

上記の補正記憶回路41は、EEPROM (electrically-erasable PROM) であってよい。EEPROMは、何度でも記憶内容を書き替えることができるため、電力変換装置の動作時に任意に書き替えることができる。また、補正記憶回路41は、EPROM (erasable PROM)、SRAM (static random-access memory) およびフリップフロップであってもよい。その場合は、電力変換装置をより安価に構成することができる。また、補正基準値をツェナーザップトリミングによって保持することもできる。その場合には、上述のEPROM、SRAMおよびフリップフロップを用いた場合よりも、電力変換装置をより安価に構成することができる。また、フリップフロップを用いた場合よりも、よりノイズに強い回路を構成できる。さらには、補正基準値を、レーザトリミングによって記憶してもよい。その場合には、EEPROMを用いた場合よりも電力変換装置をより安価に構成でき、EPROM、SRAMおよびフリップフロップを用いた場合よりも、ノイズに強い回路を構成でき、さらには、ツェナーザップトリミングを用いた場合よりも高精度の回路を構成できる。また、IC内のボンディングワイヤーパッドとICが実装されているリードフレームとの間を、ボンディングワイヤにより接続するか否かによって、それを1ビットの記憶素子として用いることで、補正基

準値を保持してもよい。その場合は、電力変換装置をより安価に構成できる。

【 0 0 5 3 】

なお、本実施の形態による電力変換装置においては、I G B T 3 2 のゲート端子に印加する電圧を、ゲート抵抗の抵抗値を変化させることにより調整しているが、代わりに、M O S F E T のオン抵抗を用いて調整してもよい。図 1 0 は、そのような場合の駆動回路 3 6 の構成を示す図である。図 1 0 において、駆動回路 3 6 は、ゲート駆動回路用駆動回路 2 0 2、オン側ゲート駆動回路 2 0 4、オフ側ゲート駆動回路 2 0 6、オン側ゲート駆動回路 2 0 4 に接続された N チャンネル M O S F E T 2 0 8、オフ側ゲート駆動回路 2 0 6 に接続された N チャンネル M O S F E T 2 1 0 を備える。この構成は、ゲート抵抗および抵抗制御回路を有していない点で、図 5 に示された駆動回路 3 6 と異なるが、その他の構成要素およびそれらの接続は、図 5 に示された駆動回路 3 6 と同一である。従って、同一の構成については、説明を省略する。

【 0 0 5 4 】

以下に、図 1 0 に示された駆動回路 3 6 の動作について説明する。ゲート駆動回路用駆動回路 2 0 2 には、駆動信号 a 1 および補正信号 a 2 0 が入力される。駆動信号 a 1 が入力されたときの動作は、図 5 の駆動回路 3 6 の場合と同様である。一方、補正信号 a 2 0 が入力されたとき、ゲート駆動回路用駆動回路 2 0 2 は、オン側ゲート駆動回路 2 0 4 またはオフ側ゲート駆動回路 2 0 6 に、それが接続される M O S F E T に印加すべき電圧の値を示す信号 ( a 4 0 , a 4 2 ) を出力する。例えば、ゲート駆動回路用駆動回路 2 0 2 に駆動信号 a 1 および補正信号 a 2 0 が入力され、かつ、そのときに駆動信号 a 1 が I G B T 3 2 のオフを指示する場合、ゲート駆動回路用駆動回路 2 0 2 は、補正信号 a 2 0 に応じて、オフ側ゲート駆動回路 2 0 6 が M O S F E T 2 1 0 のゲート端子に印加すべき電圧の値を示す信号 a 4 2 を出力する。オフ側ゲート駆動回路 2 0 6 は、信号 a 4 2 が示す値の電圧を、M O S F E T 2 1 0 のゲート端子に印加する。

【 0 0 5 5 】

図 1 0 の駆動回路 3 6 において、M O S F E T 2 0 8 , 2 1 0 は、ゲート端子に印加される電圧の大きさにより、出力電流が変化する。従って、そのゲート端

子に印加する電圧の大きさを変えることにより、IGBT 32 のゲート端子 32 に流れ込む電流の大きさを変化させることができる。以上のことから、MOSFET のオン抵抗を変化させることにより、IGBT 32 に印加されるゲート電圧の変化率を変えることができる。

## 【 0 0 5 6 】

以上のように、ゲート抵抗の代わりに MOSFET のオン抵抗を用いれば、ディスクリット部品で構成することの多いゲート抵抗を無くすことができ、回路部品点数の削減と、回路の IC 化を実現することができる。

## 【 0 0 5 7 】

ゲート抵抗の代わりにオン抵抗を用いる場合において、補正信号 a 20 の示す補正データが、図 6 のフローチャートに示されるような抵抗値のとき、これは、MOSFET (208, 210) を抵抗とみなしたときの抵抗値としてよい。このとき、ゲート駆動回路用駆動回路 202 は、MOSFET (208, 210) のゲート電圧および出力電流の関係を用いて、MOSFET (208, 210) が補正信号 a 20 の示す抵抗値をもつように、MOSFET 210 に印加する電圧を算出する。また、この算出は、補正回路 38 によりあらかじめ行われ、MOSFET 210 に印加する電圧の値が、補正信号 a 20 として補正回路 38 から出力されてもよい。

## 【 0 0 5 8 】

また、IGBT 32 のゲート端子に印加する電圧を、そのゲート端子に並列に接続された複数の MOSFET のオン抵抗を用いて調整してもよい。図 11 は、そのような場合の駆動回路 36 の構成を示す図である。図 11 の駆動回路 36 が、図 10 の駆動回路 36 と異なる点は、Nチャネル MOSFET 308 および Nチャネル MOSFET 310 が、それぞれ、Nチャネル MOSFET 208 および Nチャネル MOSFET 210 に並列に接続されている点である。その他の構成要素およびそれらの接続は、図 10 に示された駆動回路 36 と同一であるので、説明を省略する。

## 【 0 0 5 9 】

図 11 に示される駆動回路 36 においては、補正回路 38 から出力される補正

信号 a 2 0 は、ゲート駆動回路用駆動回路 2 0 2 を介さず、直接オン側ゲート駆動回路 2 0 4 およびオフ側ゲート駆動回路 2 0 6 に入力される。オン側ゲート駆動回路 2 0 4 およびオフ側ゲート駆動回路 2 0 6 は、それぞれ、補正信号 a 2 0 に基づいて、駆動させる MOS F E T の数を判断し、1 つまたは 2 つの MOS F E T を駆動させる。なお、あらかじめ、補正回路 3 8 から、オン側ゲート駆動回路 2 0 4 およびオフ側ゲート駆動回路 2 0 6 が駆動させるべき MOS F E T の個数を示す補正信号 a 2 0 が入力されてもよい。その場合、オン側ゲート駆動回路 2 0 4 およびオフ側ゲート駆動回路 2 0 6 は、補正信号 a 2 0 が入力されると、その補正信号 a 2 0 が示す個数の MOS F E T にゲート電圧を印加する。

## 【 0 0 6 0 】

図 1 1 に示される駆動回路 3 6 においては、駆動させる MOS F E T の個数を変えることにより、I G B T 3 2 のゲート端子 3 2 に流れ込む電流の大きさを変化させることができる。以上のことから、MOS F E T のオン抵抗を変化させることにより、I G B T 3 2 に印加されるゲート電圧の変化率を変えることができる。

## 【 0 0 6 1 】

図 1 1 に示される駆動回路 3 6 においては、補正回路 3 8 から出力される補正信号 a 2 0 が、ゲート駆動回路用駆動回路 2 0 2 を介さず、直接オン側ゲート駆動回路 2 0 4 およびオフ側ゲート駆動回路 2 0 6 に入力されるので、オン抵抗の調整がより精度よく、細かくできる。また、図 1 1 に示される駆動回路 3 6 においても、回路部品点数の削減と、回路の I C 化を達成することができる。

## 【 0 0 6 2 】

図 1 1 に示される駆動回路 3 6 において、並列に接続される MOS F E T の個数は、2 個以上の任意の個数であってよい。また、並列に接続される MOS F E T は、特性が異なっても同じであっても良い。さらに、並列に接続される MOS F E T の特性が、例えば、MOS サイズの違い等により互いに異なる場合、補正信号 a 2 0 は、駆動させるべき MOS F E T の個数ではなく、駆動させるべき MOS F E T を指定する信号であってもよい。

## 【 0 0 6 3 】

また、補正回路から出力される補正信号に応じて、MOSFETのソース（S）－ドレイン（D）間の電圧（ $V_{SD}$ ）を可変としてもよい。その場合には、MOSFETのオン抵抗の調整がより細かくできる。従って、より高精度にオン抵抗の調整ができる。

## 【0064】

なお、本実施の形態による電力変換装置においては、駆動回路において用いるトランジスタをMOSFETとしたが、これに限られない。MOSFETの代わりに、バイポーラトランジスタを含む他のトランジスタを用いてもよい。その場合であっても、トランジスタの出力電流を、そのトランジスタに入力する信号の値に応じて変化させることができれば、本実施の形態による電力変換装置と同一の効果が得られる。

## 【0065】

なお、図5、図10および図11に示された駆動回路36においては、補正信号a20により、ゲート駆動回路用駆動回路202、または、ゲート駆動回路204、206を制御していたが、図12に示されるように、電源 $V_{cc}$ とオン側ゲート駆動回路204（オフ側ゲート駆動回路206）との間に電圧調整回路60を設け、その電圧調整回路60を、補正信号a20により制御してもよい。電圧調整回路60は、電源 $V_{cc}$ の出力する電圧を変化させることにより、結果として、MOSFETに印加されるゲート電圧およびMOSFETのソース－ドレイン間の電圧を変化させることができる。

## 【0066】

また、同時に、この電圧調整回路60を用いて、素子制御回路34の電源電圧の変動を補正することができる。以下に、図13を用いて、詳細に説明する。図13（a）は、電圧調整回路60の構成の一例を示す回路図、図13（b）および13（c）は、図13（a）の電圧調整回路60の動作を示す波形図である。図13（a）において、電圧調整回路60は、NチャネルMOSFET402と、抵抗 $R_1$ 、 $R_2$ とコンデンサ $C$ とを備える。NチャネルMOSFET402のドレイン端子（D）は、電源 $V_{cc}$ に接続され、ソース端子（S）は、抵抗 $R_1$ および $R_2$ に接続される。抵抗 $R_1$ は、その一端が接地される。抵抗 $R_2$ は、コ

ンデンサCと接続されてローパスフィルタを形成する。NチャネルMOSFET 402のドレイン端子には、電源電圧信号a20が入力され、ゲート端子(G)には、補正回路38から補正信号a20が入力される。また、NチャネルMOSFET 402のソース端子と抵抗R1との間の分岐点を分岐点Qとする。

## 【0067】

図13(b)は、素子制御回路34の電源電圧が所定の範囲内にある場合の電圧調整回路60の動作を示す波形図である。補正信号a20は、電源電圧信号a30、Q点における出力信号a50および電圧調整回路60の出力信号(電源電圧出力)a52は、直流信号であり、電源電圧信号a30、Q点出力信号a50および電源電圧出力信号a52のレベルは同一である。図13(c)は、素子制御回路34の電源電圧が所定の範囲外(電源電圧が基準以上)にある場合の電圧調整回路60の動作を示す波形図である。この場合、電圧調整回路60において、NチャネルMOSFET 402のゲート端子には、パルス状の補正信号a20が入力される。補正信号a20は、NチャネルMOSFET 402の動作により、高レベルが電源電圧値(Vcc)を示すパルス波形となって、Q点で出力される(Q点出力信号a50)。Q点出力信号a50は、その後、抵抗R2とコンデンサCによるローパスフィルタを通過して、高周波成分が除去され、適当なレベルの低周波となって、電圧調整回路60から出力される(電源電圧出力信号a52)。以上から、電圧調整回路60は、素子制御回路34の電源電圧の変動を補正することがわかる。なお、これは、電圧調整回路60における構成および動作の一例であり、これに限られない。

## 【0068】

なお、本実施の形態による電力変換装置30は、1つのICチップ内に必要な全てのセンサを内蔵したが、一部が外部に設けられてもよい。例えば、図14は、電圧センサ52および不過電流センサ53が、電力変換装置30の外部に設けられた場合の電力変換装置30の構成を示すブロック図である。このような場合であっても本実施の形態による電力変換装置と同様の効果が得られる。

## 【0069】

なお、本実施の形態による電力変換装置30は、補正回路が出力する補正デー



タを補正回路38内で求めていたが、上記補正データを、図15に示されるように、電力変換装置30外部の補正データ設定回路62を用いて設定できるようにしてもよい。こうすれば、電力変換装置を製品として出荷した後でも、顧客の仕様に合わせて仕様変更が可能となる。なお、補正記憶回路41がEEPROMの場合、外部から記憶内容（補正データ）を記憶内容を何度でも変更できる。

#### 【0070】

なお、図16に示すように、本実施の形態による電力変換装置30において、補正回路38は、その内部の補正記憶回路41に、各種センサから出力される信号（a3, a4, a8, a9）および素子制御回路34の電源電圧信号a5の値を、動作履歴として記憶し、電力変換装置に異常が発生した場合に、その内容を上位制御回路4の記憶回路64に信号a56として伝達する機能を有してもよい。このようにすれば、異常発生時の電力変換装置の動作状況を把握でき、異常の原因を究明できる。また、上記の動作履歴データを常に上位制御回路4の記憶回路64に記憶させるようにすれば、電力変換装置30は、記憶素子を余分に持つ必要がないため、安価にこの機能を実現できる。さらに、異常時に、補正回路の補正記憶回路41が壊れることがあっても、動作履歴データは、すでに上位制御回路4に記憶されているので、より確実に異常時の解析が可能となる。

#### 【0071】

なお、本実施の形態による電力変換装置34は、図17（a）に示されるように、素子制御回路34内に高耐圧素子を用いたレベルシフト回路66を内蔵し、HVIC（High Voltage IC）として作用してもよい。この素子制御回路34と上位制御回路4との間にレベルシフト回路66を設ける構成は、IGBT32の動作に伴って素子制御回路34の電源電圧が変動することにより、上位制御回路4と素子制御回路34の間で信号伝達が正常に行われなくなることを防ぐ。従来では、例えば、図17（b）に示されるように、上位制御回路4と素子制御回路34の間に、ディスクリート部品であるフォトカプラ68を設けて正常な信号伝達を可能にしていたが、素子制御回路34内にレベルシフト回路66を搭載する構成にすれば、フォトカプラ68に比べて、より安価に、かつ、高信頼性の電力変換装置を実現できる。

## 【 0 0 7 2 】

## 実施の形態 2.

以下に、実施の形態 2 による電力変換装置について説明する。本実施の形態による電力変換装置が、実施の形態 1 による電力変換装置と異なる点は、補正回路 3 8 が、駆動信号 a 2 の立ち上がり時および立ち下がり時にのみ入力信号を取得し、その駆動信号 a 2 の立ち上がり時および立ち下がり時に取得した入力信号に基づく補正データを、補正信号として、駆動信号 a 2 の次の立ち上がり時および立ち下がり時に、駆動回路 3 6 および保護回路 3 7 に出力する点である。その他の動作および構成は、実施の形態 1 による電力変換装置 3 0 と同一である。以下では、電力変換装置の構成を、図 2 を参照して説明する。

## 【 0 0 7 3 】

図 1 8 は、本実施の形態による補正回路 3 8 の動作を図式的に説明する図である。図 1 8 において、(1) は、上位制御回路 4 から出力される駆動信号 a 1、(2) は、上位制御回路 4 から (1) の駆動信号 a 1 が出力されたときに I G B T 3 2 に入力される駆動信号 a 2、(3) は、(2) の駆動信号 a 2 が入力されたときの I G B T 3 2 の出力電圧 ( $V_{CE}$ )、(4) は、(2) の駆動信号 a 2 が入力されたときの I G B T 3 2 の出力電流 ( $I_C$ ) を示す。図 1 8 を参照すると、補正回路 3 8 は、駆動信号 a 2 の立ち上がり時および立ち下がり時に取得した入力信号 (a 2, a 8, a 9) について、それぞれ、その入力信号に基づく補正信号 (a 2 0) を、駆動信号 a 2 の次の立ち上がり時および次の立ち下がり時に出力する。つまり、駆動信号 a 2 の立ち上がり時および立ち下がり時に補正回路 3 8 から出力される補正信号 (a 2 0) は、それぞれ、駆動信号 a 2 の 1 回前の立ち上がり時および 1 回前の立ち下がり時に補正回路 3 8 が取得した入力信号に基づいて生成される。この場合、電力変換装置に入力される駆動信号 a 1 の周波数は、一般的に、数 k H z 乃至 2 0 k H z であり、その周期は最小でも 5 0  $\mu$  m である。従って、電圧センサ 5 2 および負荷電流センサ 5 3 によって信号が出力されてから、補正回路 3 8 で補正処理が行われて、ゲート駆動信号 a 2 が出力されるまでの信号の伝搬遅延時間は、数十  $\mu$  s 程度である。

## 【 0 0 7 4 】

これは、補正回路38が、保護回路37に対して補正信号a21を出力する場合にもあてはまる。補正回路38は、駆動信号a2の立ち上がり時および立ち下がり時に取得した入力信号(a3, a4, a5)について、それぞれ、その入力信号に基づく補正信号(a21)を、駆動信号a2の次の立ち上がり時および次の立ち下がり時に出力する。つまり、駆動信号a2の立ち上がり時および立ち下がり時に補正回路38から出力される補正信号(a21)は、それぞれ、駆動信号a2の1回前の立ち上がり時および1回前の立ち下がり時に補正回路38が取得した入力信号に基づいて生成される。従って、この場合も同様に、温度センサ50および素子電流センサ51等により信号が出力されてから、補正回路38で補正処理が行われて、補正信号a21が出力されるまでの信号の伝搬遅延時間は、数十 $\mu$ s程度である。

## 【0075】

本実施の形態による電力変換装置において、補正回路38は、補正処理を、駆動信号a2の1周期前のタイミングで取り込んだ入力信号を用いることにより実行する。つまり、補正回路38は、補正処理を、駆動信号a2の立ち上がり時および立ち下がり時に、それぞれ、駆動信号a2の1回前の立ち上がり時および1回前の立ち下がり時に取得したデータに基づいて行う。従って、本実施の形態による電力変換装置においては、各種センサより信号が入力されてから補正信号を出力するまでの応答時間(補正回路から駆動回路および保護回路へフィードバックするまでの応答時間)を長くすることができ、補正回路を、より低速かつ安価な回路で実現できる。結果として、電力変換装置を安価に構成できる。

## 【0076】

また、本実施の形態による電力変換装置は、補正処理時間に余裕がある。従って、図19に示すように、補正回路38のうち補正処理回路の一部80(補正処理回路40は、第1の補正処理回路70と第2の補正処理回路81とから成る。)を上位制御回路4に内蔵させて、電力変換装置30内部の補正回路38の負荷を軽くすることにより、より簡易な補正回路を実現することができる。結果として、電力変換装置をより安価に構成することができる。

## 【0077】

なお、本実施の形態による電力変換装置において、補正回路 3 8 は、補正処理を、駆動信号 a 2 の立ち上がり時および立ち下がり時に、それぞれ、駆動信号 a 2 の 1 回前の立ち上がり時および 1 回前の立ち下がり時に取得したデータに基づいて行うが、例えば、駆動信号 a 2 の周期毎における I G B T 3 2 の出力電圧  $V_{CE}$  や出力電流  $I_C$  の変化率が小さい場合は、駆動信号 a 2 の 2 回以前の立ち上がり時および立ち下がり時に取得したデータに基づいて補正処理を行ってもよい。その場合には、補正回路を、より低速かつ安価な回路で実現できるので、本実施の形態による電力変換装置よりも、より安価な電力変換装置を実現できる。

## 【 0 0 7 8 】

なお、補正回路 3 8 は、補正処理を、電力変換装置 3 0 の起動時に一度だけ行うこともできる。図 2 0 は、その場合の補正回路 3 8 の動作を図式的に説明する図である。図 2 0 を参照すると、補正回路 3 8 は、電力変換装置 3 0 の起動後における駆動信号 a 2 の最初の立ち上がり時および最初の立ち下がり時に取得した入力信号 (a 2, a 8, a 9) について、それぞれ、その入力信号に基づく補正信号 (a 2 0) を、それ以降の駆動信号 a 2 の全ての立ち上がり時および全ての立ち下がり時に出力する。このとき、電力変換装置 3 0 の起動後における駆動信号 a 2 の最初の立ち上がり時および最初の立ち下がり時に取得した入力信号に基づく補正データは、補正記憶回路 4 1 に記憶される。補正回路 3 8 は、それ以降の駆動信号 a 2 の全ての立ち上がり時および立ち下がり時に、補正記憶回路 4 1 から、記憶された補正データを読み出し、駆動回路 3 6 に出力する。これは、補正回路 3 8 が、保護回路 3 7 に対して補正信号 a 2 1 を出力する場合にも適用できる。以上のような場合には、補正回路の動作が極めて間欠的となり、その回路規模もさらに小さくできる。結果として、補正回路を低速かつ簡便に構成でき、より安価な電力変換装置を実現できる。なお、この場合には、補正処理時間にさらに余裕がある。従って、図 1 9 に示すように、補正回路 3 8 のうち補正記憶回路 4 1 を上位制御回路 4 に内蔵させて、電力変換装置 3 0 内部の補正回路 3 8 の負荷を軽くすることにより、より簡易な補正回路を実現することもできる。結果として、電力変換装置をより安価に構成することができる。

## 【 0 0 7 9 】

さらに、補正回路 38 は、上記補正処理を、電力変換装置 30 の製品出荷試験時のみ実施することも可能である。図 21 は、その場合の補正回路 38 の動作を図式的に説明する図である。図 21 を参照すると、補正回路 38 は、電力変換装置 30 が製品出荷試験時に動作させられたときに、補正回路 38 への入力信号の値およびその入力信号により得られる補正データの値を取り込む。つまり、補正回路 38 は、電力変換装置 30 の製品試験時に入力信号の値およびその入力信号に基づく補正データを補正記憶回路 41 に記憶し、電力変換装置 30 を実際に動作させたときに、その補正記憶回路 41 内のデータを用いて補正処理を行う。

#### 【0080】

ここで、補正記憶回路 41 に記憶される補正データは、補正回路 38 による補正処理で得られる必要はなく、外部の装置による補正処理で得られるものであってよい。図 22 は、電力変換装置 30 の外部に試験装置 76 を設けた場合において、その試験装置 76 が補正処理（駆動信号 a2 に対する補正）を行う場合の、電力変換装置 30 および試験装置 76 における信号の流れを示す図である。試験装置 76 は、入力信号として、駆動信号 a2、電圧センサ 52 から出力される信号 a8、負荷電流センサ 53 から出力される信号 a9 を取得する。試験装置 76 は、上述したように、それら信号（a2, a8, a9）の値を用いて、スイッチング損失の値およびサージ電圧の値を求め、それらが所定の範囲から外れる場合は、所定の範囲内になるように、取得した駆動信号 a2 を補正するための補正データを求める。試験装置 76 は、得られた補正データとその補正データを求めるのに用いられた入力信号のデータを、信号 a60 として、補正回路 38 に出力する。補正回路 38 は、信号 a60 を取得すると、それを、補正信号 a20 として、駆動回路 36 に出力する一方、信号 a60 が示す入力信号の値および補正データを補正記憶回路 41 に格納する。

#### 【0081】

図 23 は、電力変換装置 30 を実際に動作させたときに、補正回路 38 が、補正記憶回路 41 内のデータを用いて補正処理を行う場合の、電力変換装置 30 における信号の流れを示す図である。補正回路 38 は、入力信号 a2, a8, a9 を取得すると、補正記憶回路 41 を参照し、現在取得した入力信号と同一または

ほぼ同一である入力信号を検知する。そして、その検知した入力信号に対応する補正データを取得して、それを示す補正信号 a 20 を駆動回路 36 に出力する。

## 【0082】

以上のことは、補正回路 38 が、保護回路 37 に対して補正信号 a 21 を出力する場合にもあてはまる。図 24 は、電力変換装置 30 の外部に試験装置 76 を設けた場合において、その試験装置 76 が保護回路 37 に対する補正処理を行う場合の、電力変換装置 30 および試験装置 76 における信号の流れを示す図である。これは、試験装置 76 が駆動回路 36 に対して補正処理を行う場合（図 22）に類似するので、説明を省略する。

## 【0083】

以上のように補正処理を行う装置が外部にある場合には、補正回路をより簡便に構成でき、より安価な電力変換装置を実現できる。

## 【0084】

なお、今回は、電力変換装置 30 の外部の試験装置において補正処理を行ったが、図 19 のように、補正回路 38 のうち補正処理回路の一部 80 を上位制御回路 4 に内蔵させて、両方の補正処理回路 70、72 で補正処理を行ってもよい。この場合であっても、電力変換装置 30 内部の補正回路 38 の負荷を軽くすることにより、より簡易な補正回路を実現することができる。結果として、電力変換装置をより安価に構成することができる。さらには、補正記憶回路 41 をも、上位制御回路 4 に内蔵させて、電力変換装置 30 内部の補正回路 38 の負荷を軽くすることにより、より簡易な補正回路を実現することもできる。結果として、電力変換装置をより安価に構成することができる。

## 【0085】

また、上記補正処理を、電力変換装置 30 の外部から任意のタイミングで行ってもよい。その場合には、電力変換装置を高精度に設計できる。

## 【0086】

実施の形態 3.

図 25 は、P 側（上アーム）および N 側（下アーム）の回路を備える電力変換システム装置の構成を示すブロック図である。図 25 において、P 側（上アーム

）。およびN側（下アーム）の回路は、ともに、実施の形態1および実施の形態2で説明された電力変換装置30の構成を含む。本実施の形態による電力変換システム装置80において、P側およびN側の個々の素子制御回路82には、インターロック回路84が設けられている。インターロック回路84は、P側およびN側の駆動信号が同時にオンを指示した場合に、その入力を無効にする。これにより、IGBTが同時にオンすることによる短絡破壊や誤動作を防止することができる。

## 【0087】

本実施の形態による電力変換システム装置は、それを3個用いれば、3相モータに対応できる。これは、図1の電力変換部を3つのICチップで構成する場合の、その1つの構成である。また、本実施の形態による電力変換システム装置は、ハーフブリッジを構成するため、3相モータだけでなく、Hブリッジにも対応しやすい。従って、用途が広いという効果がある。

## 【0088】

なお、本実施の形態による電力変換システム装置は、P側（上アーム）およびN側（下アーム）に2つの回路を有しているが、2つの回路における素子制御回路を、1つの素子制御回路としてもよい。図26は、P側（上アーム）およびN側（下アーム）に2つの回路を有し、かつ、1つの素子制御回路88を有する電力変換システム装置86の構成を示すブロック図である。このようにすれば、部品点数の削減と回路の縮小化が実現できる。

## 【0089】

また、図27に示されるように、3相モータ駆動に必要な6つのパワー素子駆動回路が1つのパワー素子駆動回路92に集積されてもよい。これは、図1の電力変換部3を1つのICチップで実現したものである。このようにすれば、更なる部品点数の削減と回路の縮小化が実現できる。

## 【0090】

なお、実施の形態3による電力変換システム装置であっても、個々の電力変換装置は、実施の形態1および実施の形態2で説明された電力変換装置と同一の構成および機能を有することが可能である。従って、実施の形態1および実施の形

態 2 による電力変換装置と同様の効果が得られる。

【 0 0 9 1 】

【発明の効果】

本発明による電力変換装置によれば、電力用スイッチング素子と、そのスイッチング素子を制御する素子制御回路と、スイッチング素子の出力電圧を検知してその出力電圧に応じた第 1 の信号を出力する電圧センサと、スイッチング素子の出力電流を検知してその出力電流に応じた第 2 の信号を出力する電流センサとを備え、素子制御回路は、スイッチング素子に駆動信号を出力する駆動回路と、駆動信号の値を補正する補正回路とを含み、補正回路は、駆動回路から駆動信号を取得し、電圧センサから第 1 の信号を取得し、かつ、電流センサから第 2 の信号を取得すると、第 1 の信号の値および第 2 の信号の値を演算処理してスイッチング損失を求め、スイッチング損失の値を第 1 の基準値と比較し、かつ、第 1 の信号の値を第 2 の基準値と比較し、スイッチング損失の値が第 1 の基準値を超えること、および、第 1 の信号の値が第 2 の基準値を超えることの少なくとも一方を満たす場合に、その超えた値が対応する基準値以下になるように駆動信号の値を補正するので、環境の変化や経時変化等によって、その特性が影響を受けない電力変換装置を実現できる。

【図面の簡単な説明】

【図 1】 本発明によるインバータ装置の構成を示すブロック図。

【図 2】 本発明の実施の形態 1 による電力変換装置を示すブロック図。

【図 3】 補正回路の指示により駆動信号が補正される場合の、電力変換装置における信号の流れを示す図。

【図 4】 I G B T に入力される駆動信号とその場合の I G B T の動作を説明する波形図。

【図 5】 駆動回路の構成を示す回路図。

【図 6】 補正回路の動作を示すフローチャートの図。

【図 7】 本発明の実施の形態 1 による補正回路の動作を図式的に説明する図。

【図 8】 補正回路の指示により保護回路における基準値が補正される場合



の、電力変換装置における信号の流れを示す図。

【図 9】 保護回路および補正回路の構成を示すブロック図。

【図 10】 MOSFET を有する駆動回路の構成を示す図。

【図 11】 並列接続された複数の MOSFET を有する駆動回路の構成を示す図。

【図 12】 電圧調整回路を有する駆動回路の構成を説明する図。

【図 13】 図 12 の電圧調整回路による補正処理を説明する図。

【図 14】 本発明の実施の形態 1 による別の電力変換装置を示すブロック図。

【図 15】 本発明の実施の形態 1 による更なる別の電力変換装置を示すブロック図。

【図 16】 本発明の実施の形態 1 による更なる別の電力変換装置を示すブロック図。

【図 17】 上位制御回路と素子制御回路との間の接続を示すブロック図。

【図 18】 本発明の実施の形態 2 による補正回路の動作を図式的に説明する図。

【図 19】 補正回路の補正処理回路の一部を上位制御回路に内蔵させた場合の電力変換装置および上位制御回路の構成を示すブロック図。

【図 20】 補正処理を、電力変換装置の起動時に一度だけ行う場合の補正回路の動作を図式的に説明する図。

【図 21】 補正処理を、電力変換装置の製品出荷試験時のみ実施する場合の補正回路の動作を図式的に説明する図。

【図 22】 電力変換装置の外部に試験装置を設けた場合における電力変換装置および試験装置における信号の流れを示す図。

【図 23】 補正回路が、補正記憶回路内のデータを用いて補正処理を行う場合の、電力変換装置における信号の流れを示す図。

【図 24】 電力変換装置の外部に試験装置を設けた場合における電力変換装置および試験装置における別の信号の流れを示す図。

【図 25】 P 側および N 側の回路を備えた本発明による電力変換システム

装置の構成を示すブロック図。

【図 2 6】 P 側および N 側の回路を備え、かつ、1 つの素子制御回路を有する本発明による電力変換システム装置の構成を示すブロック図。

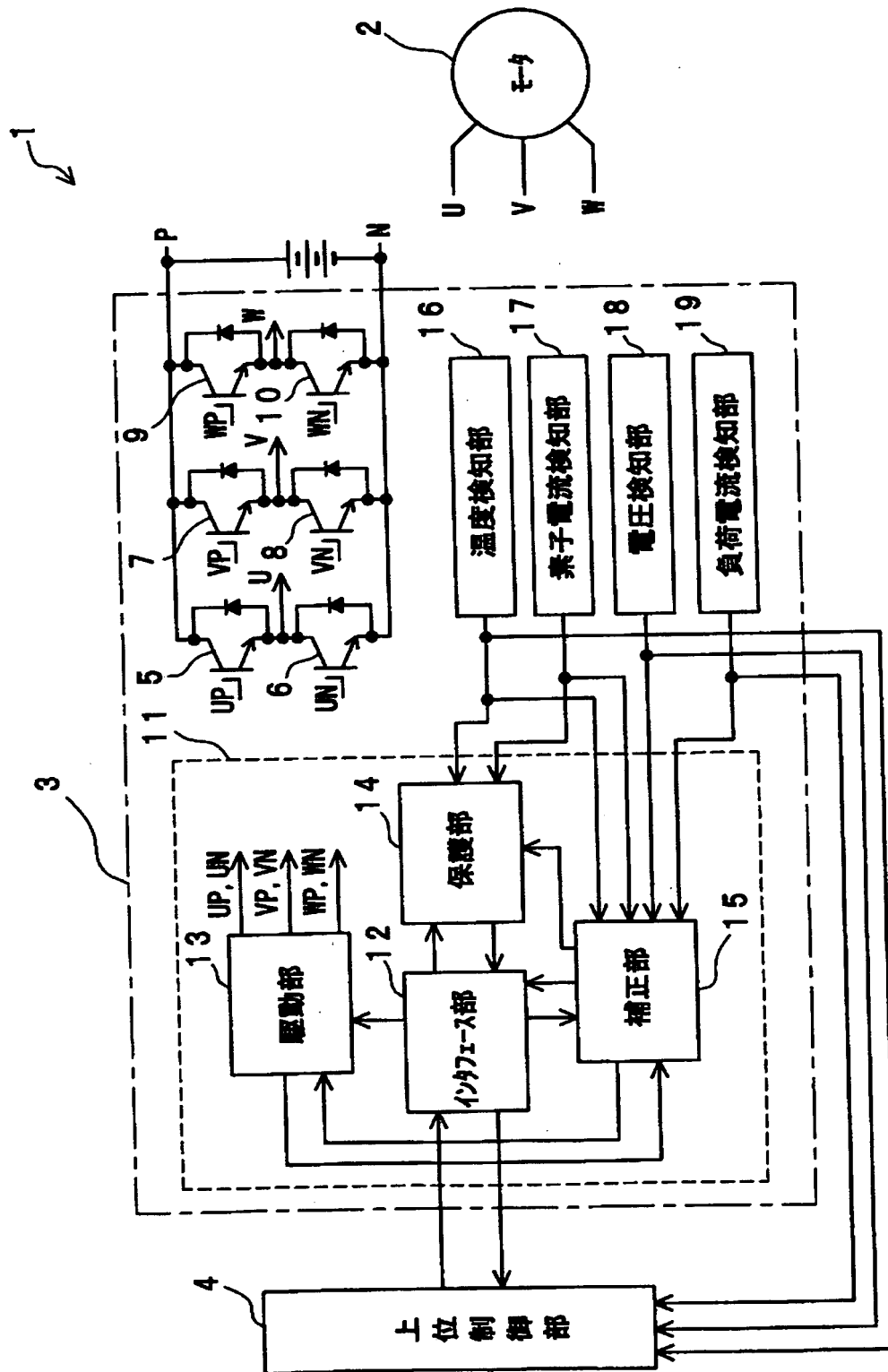
【図 2 7】 6 つのパワー素子駆動回路が 1 つのパワー素子駆動回路に集積された本発明による電力変換システム装置の構成を示すブロック図。

【符号の説明】

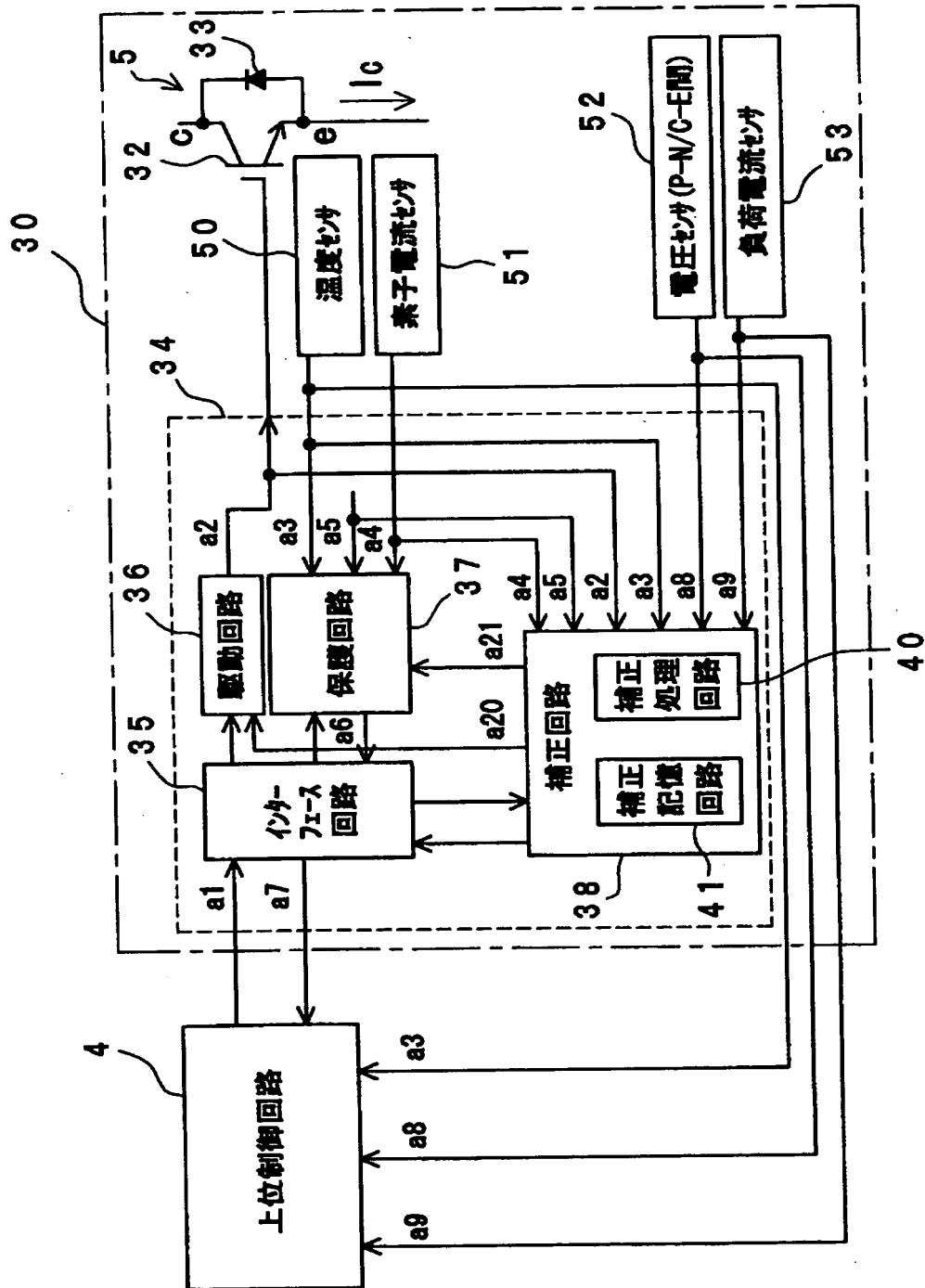
5 I G B T、 3 0 電力変換装置、 3 4 素子制御回路、 3 5 インタフェース回路、 3 6 駆動回路、 3 7 保護回路、 3 8 補正回路、 4 0 補正処理回路、 4 1 補正記憶回路、 5 0 温度センサ、 5 1 素子電流センサ、 5 2 電圧センサ、 5 3 負荷電流センサ

【書類名】 図面

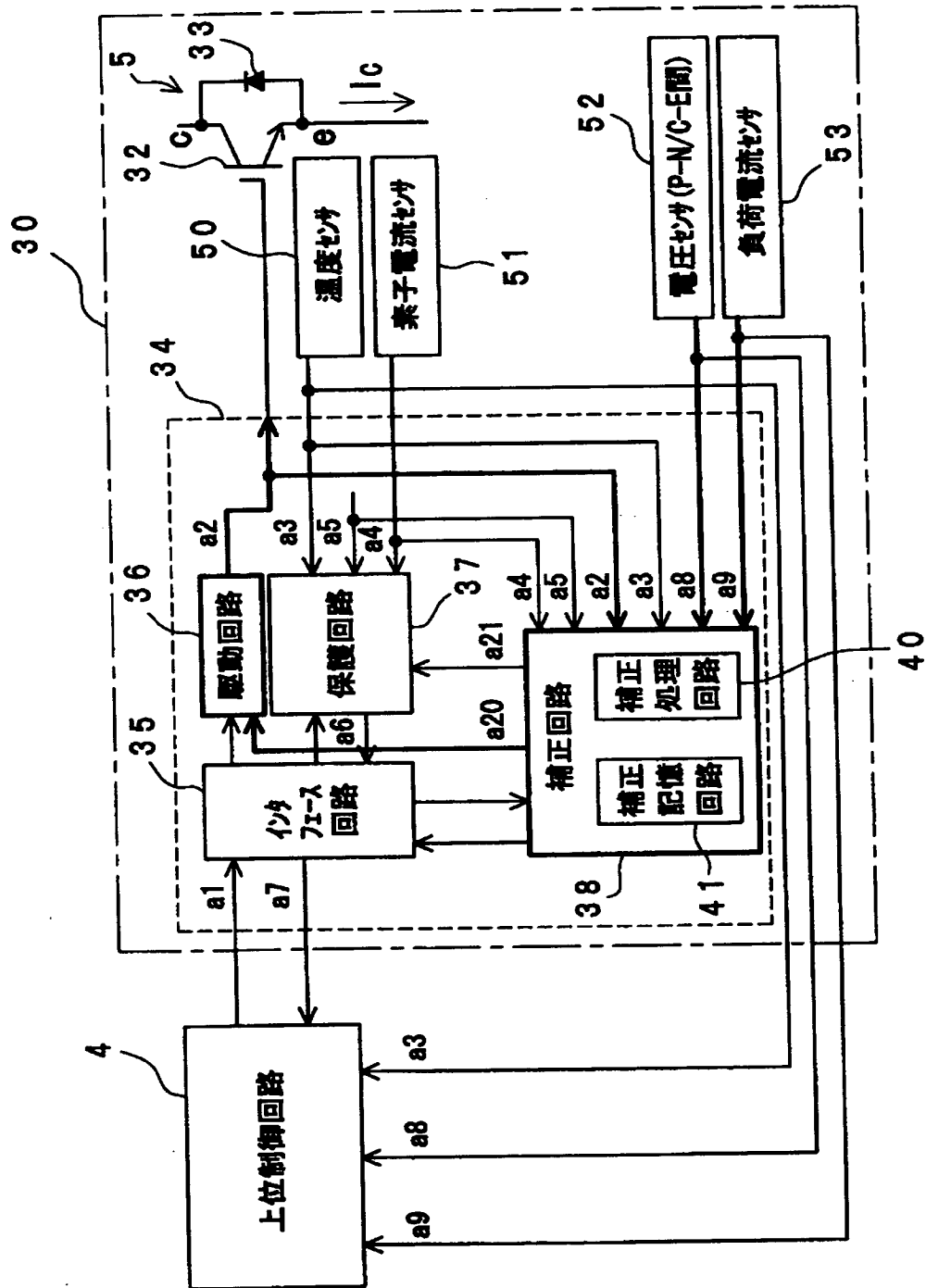
【図1】



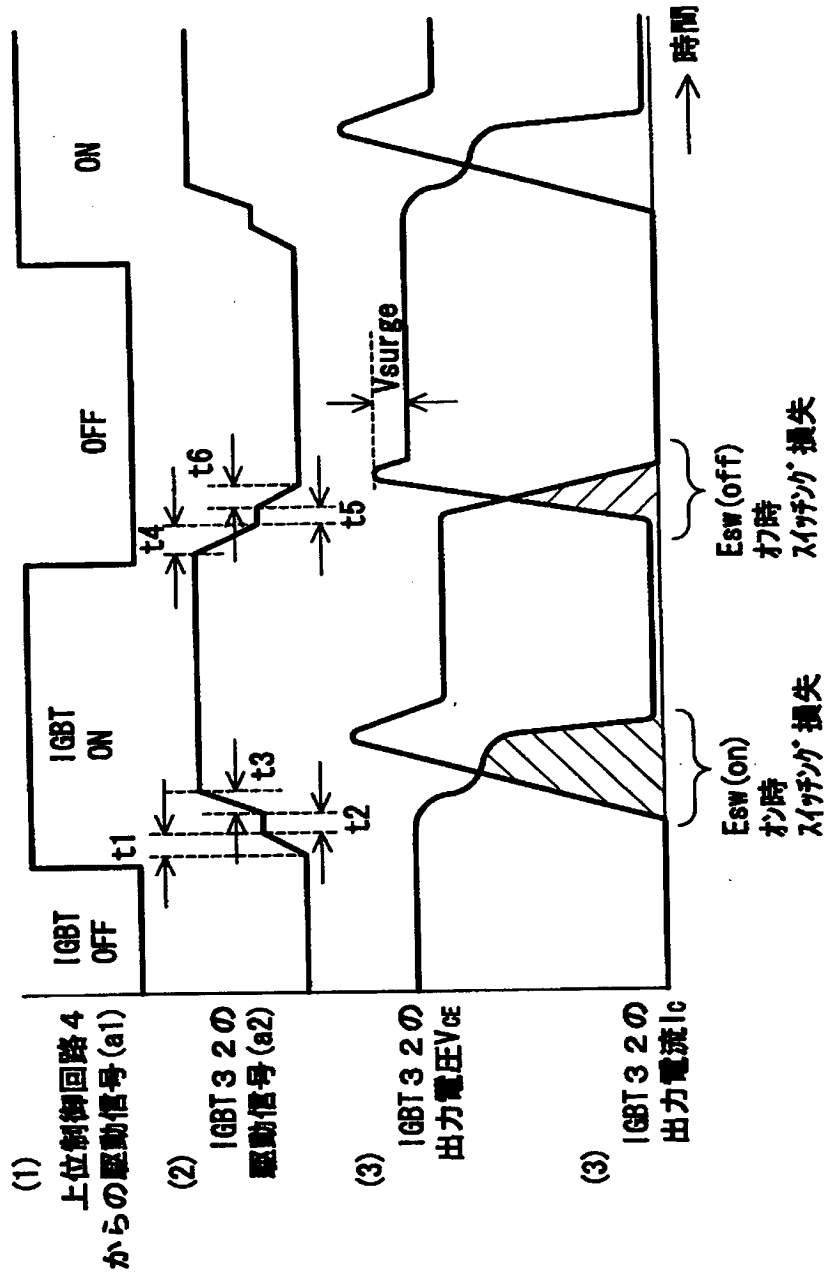
【図2】



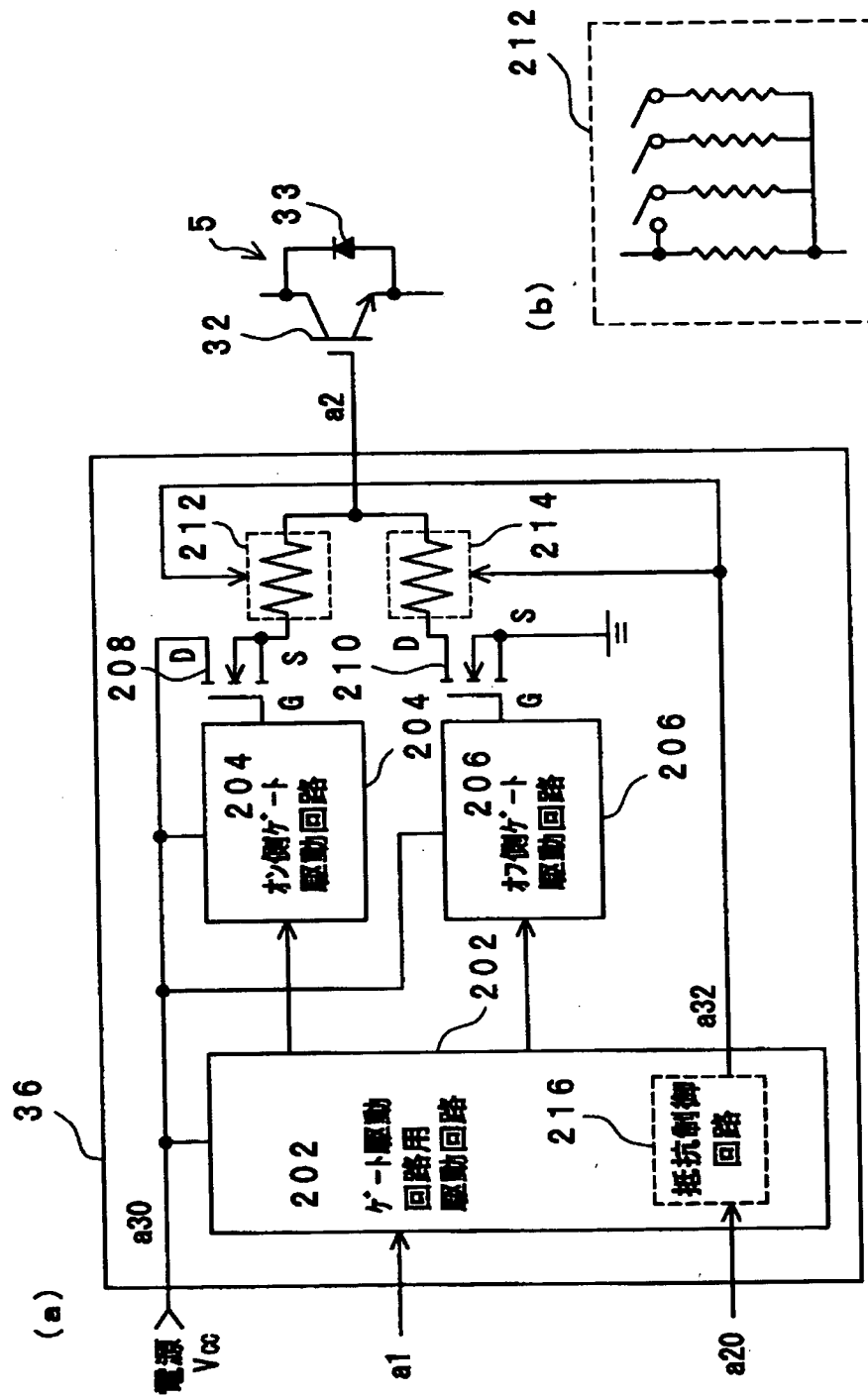
【図3】



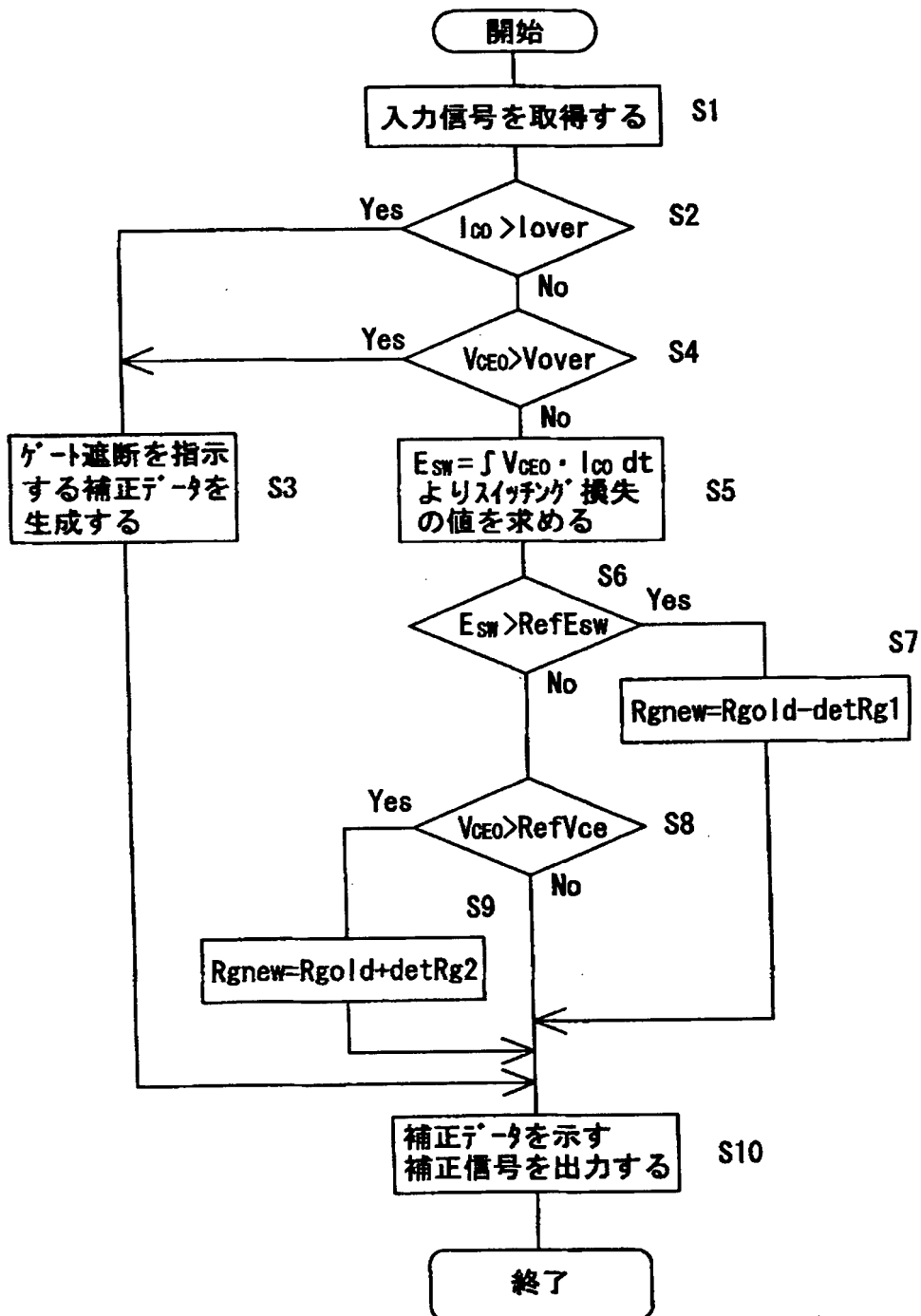
【図 4】



【図5】

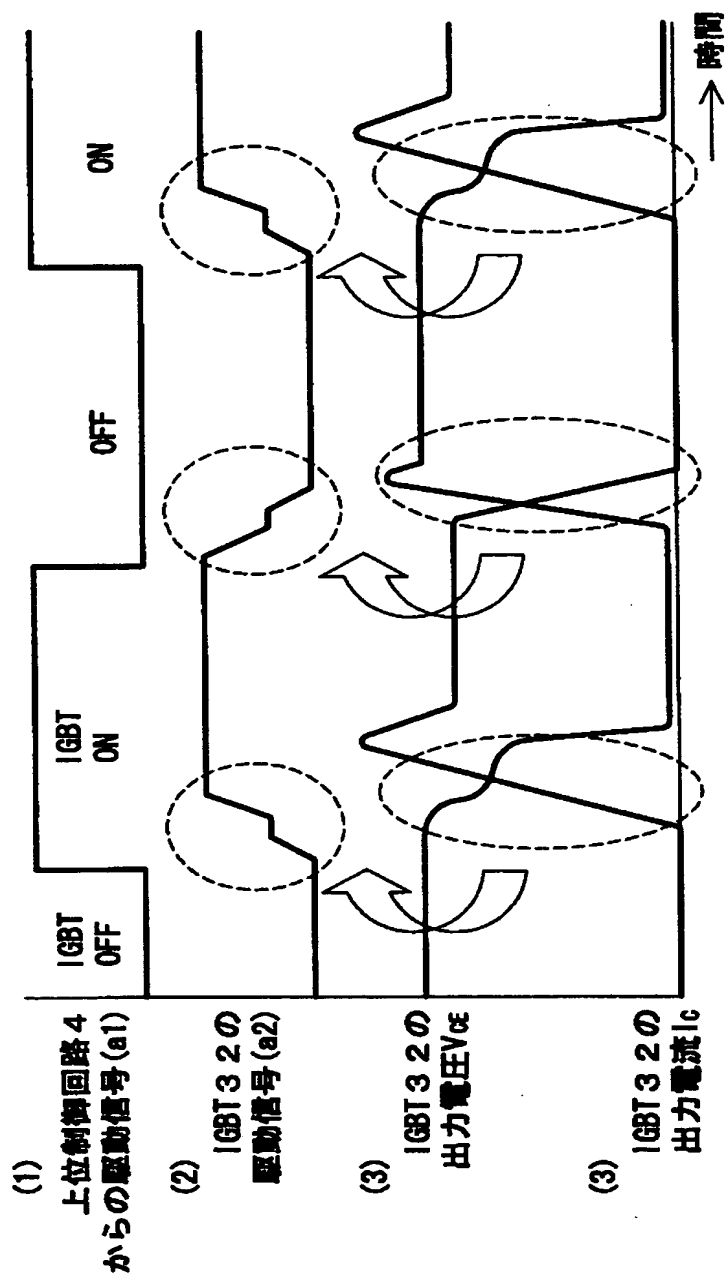


【図 6】

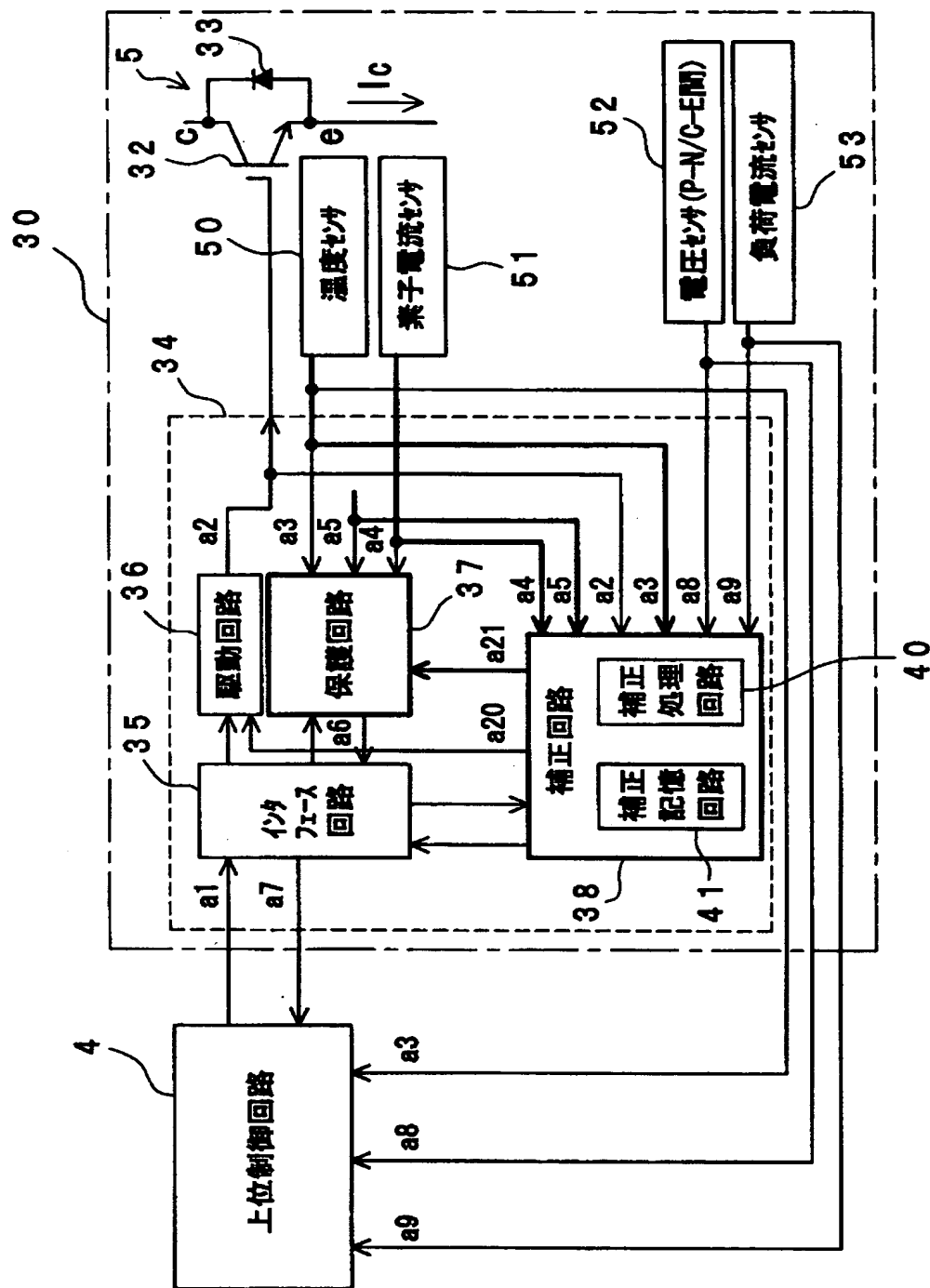




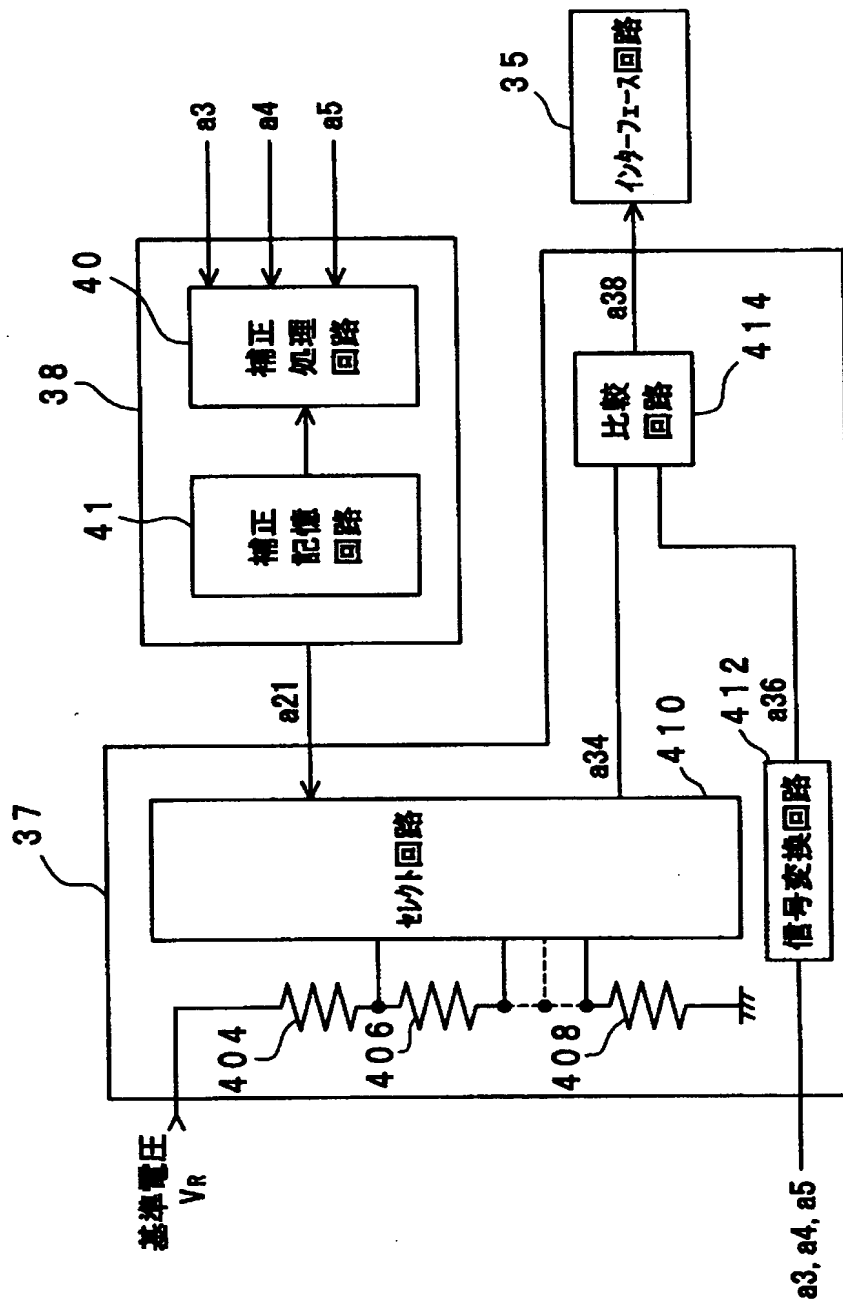
【図 7】



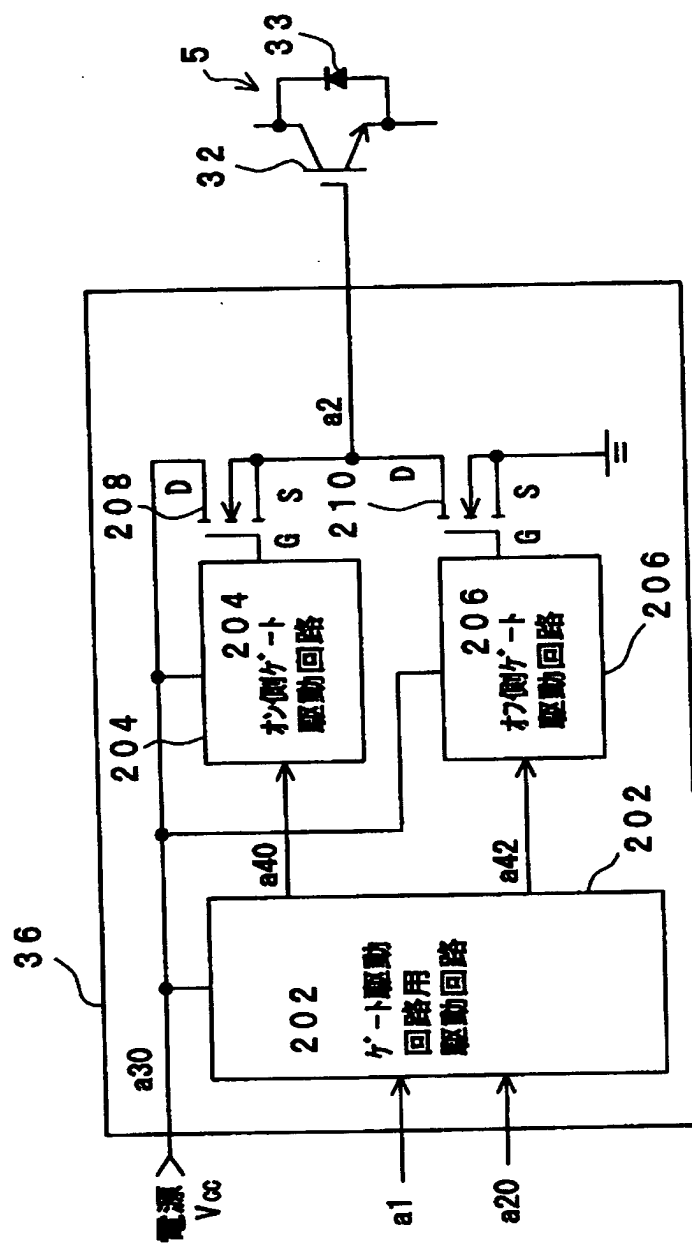
【図 8】



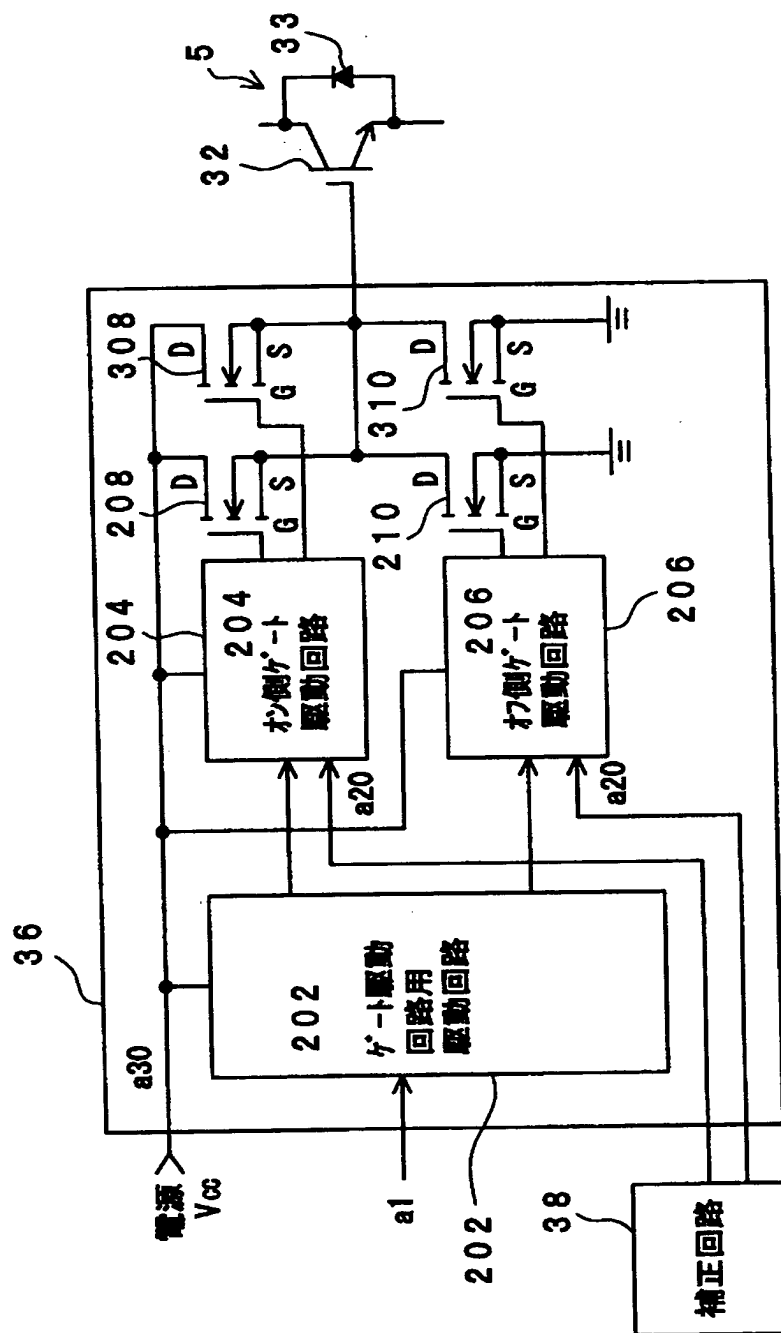
【図 9】



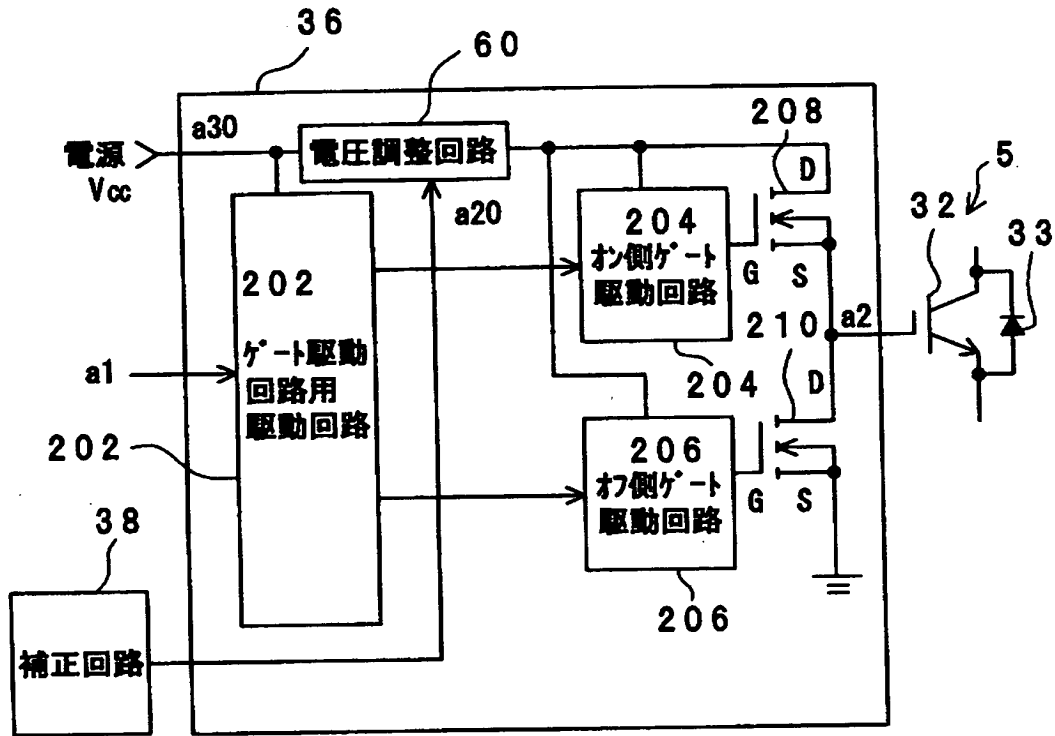
【図 10】



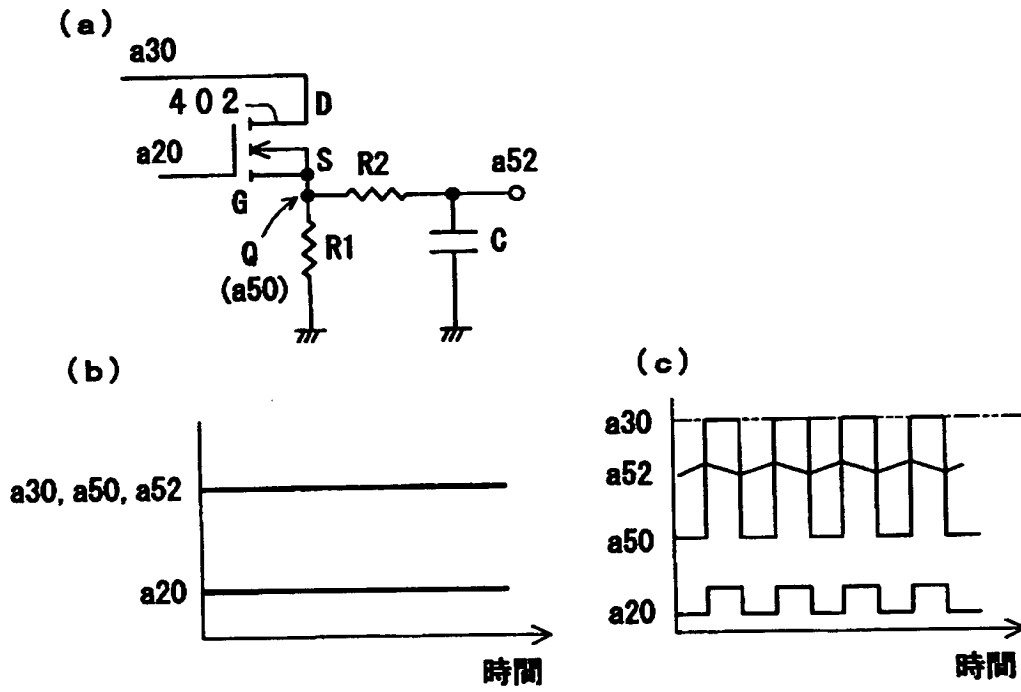
【図11】



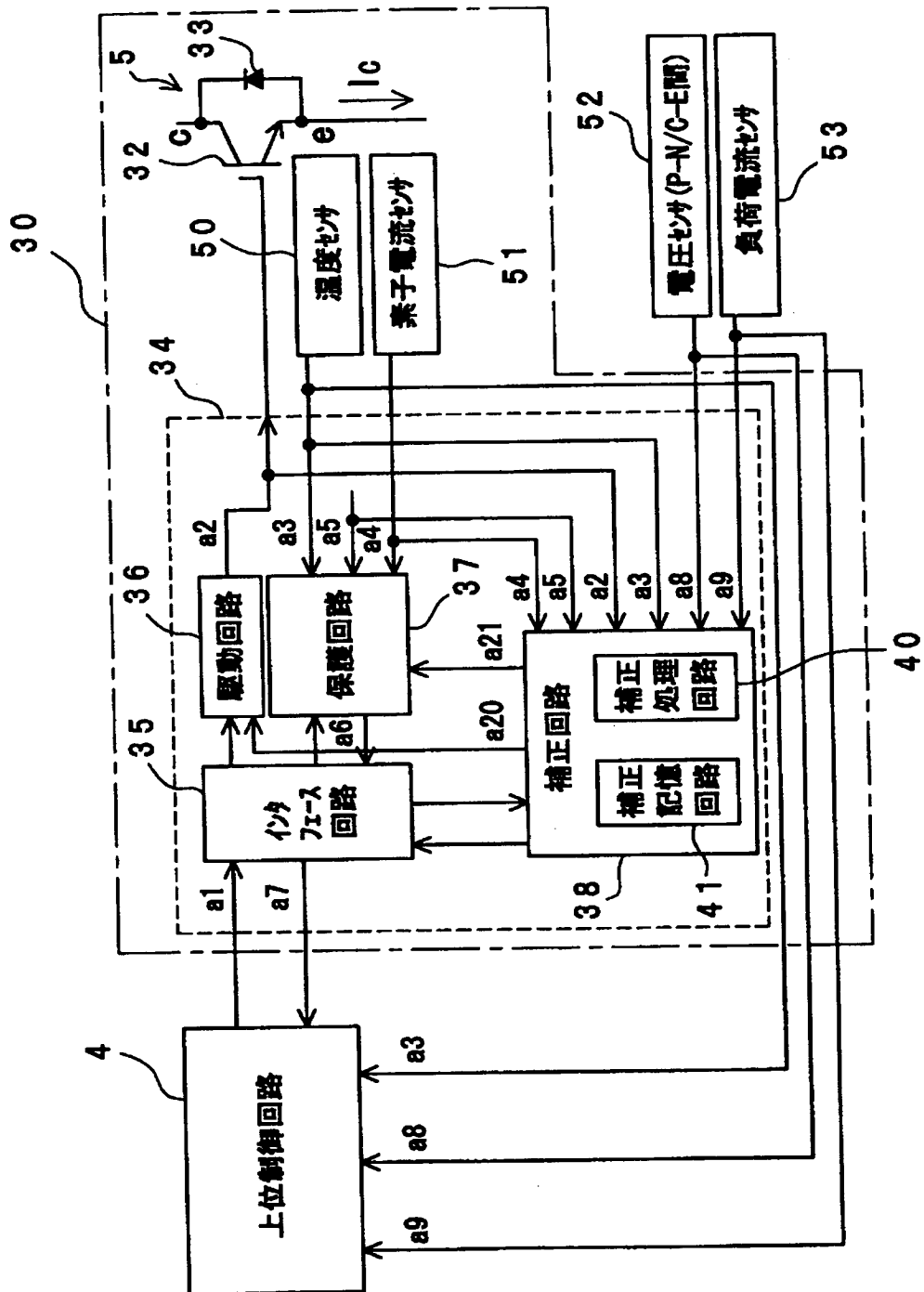
【図 12】



【図 13】

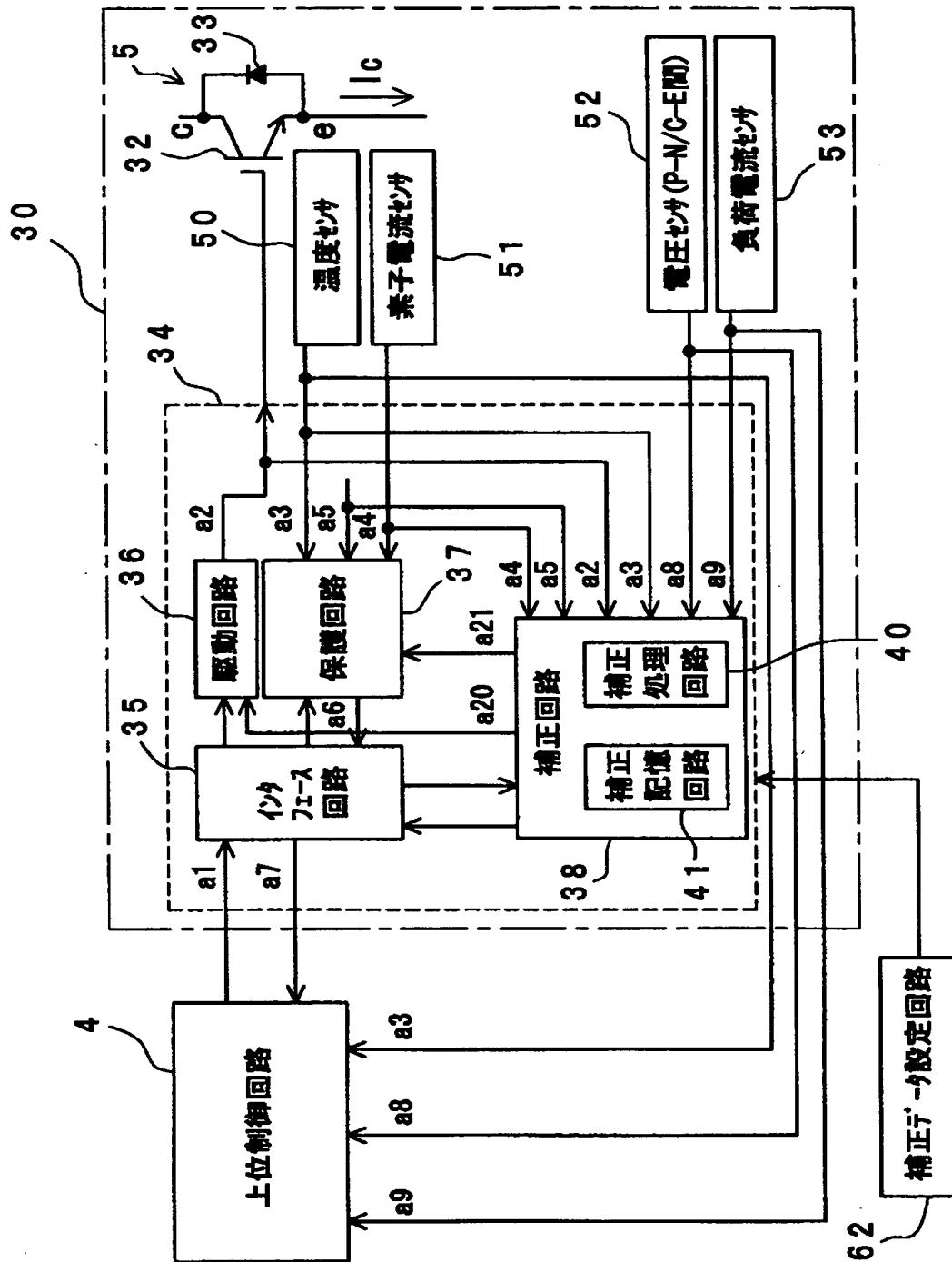


【図14】

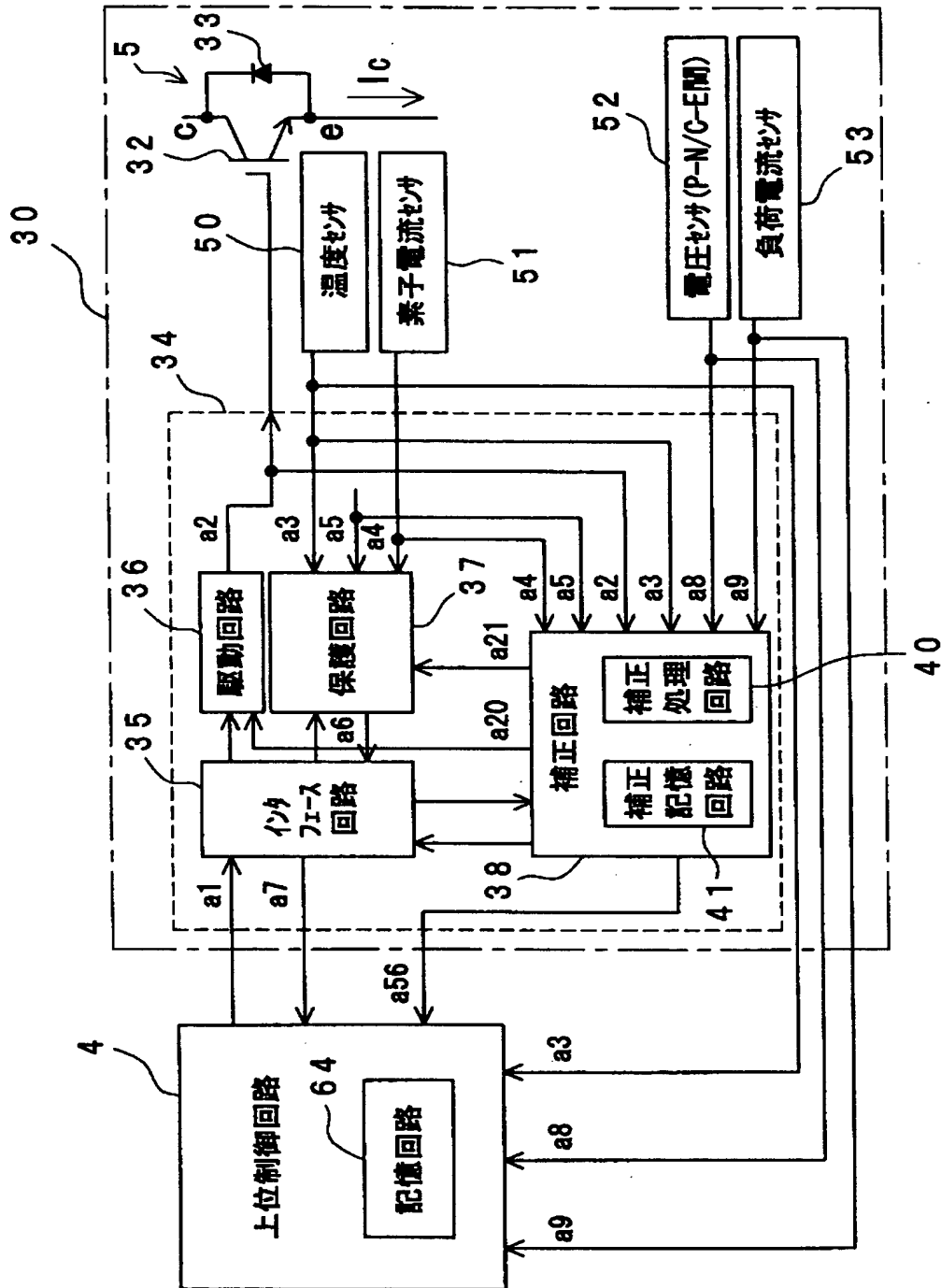




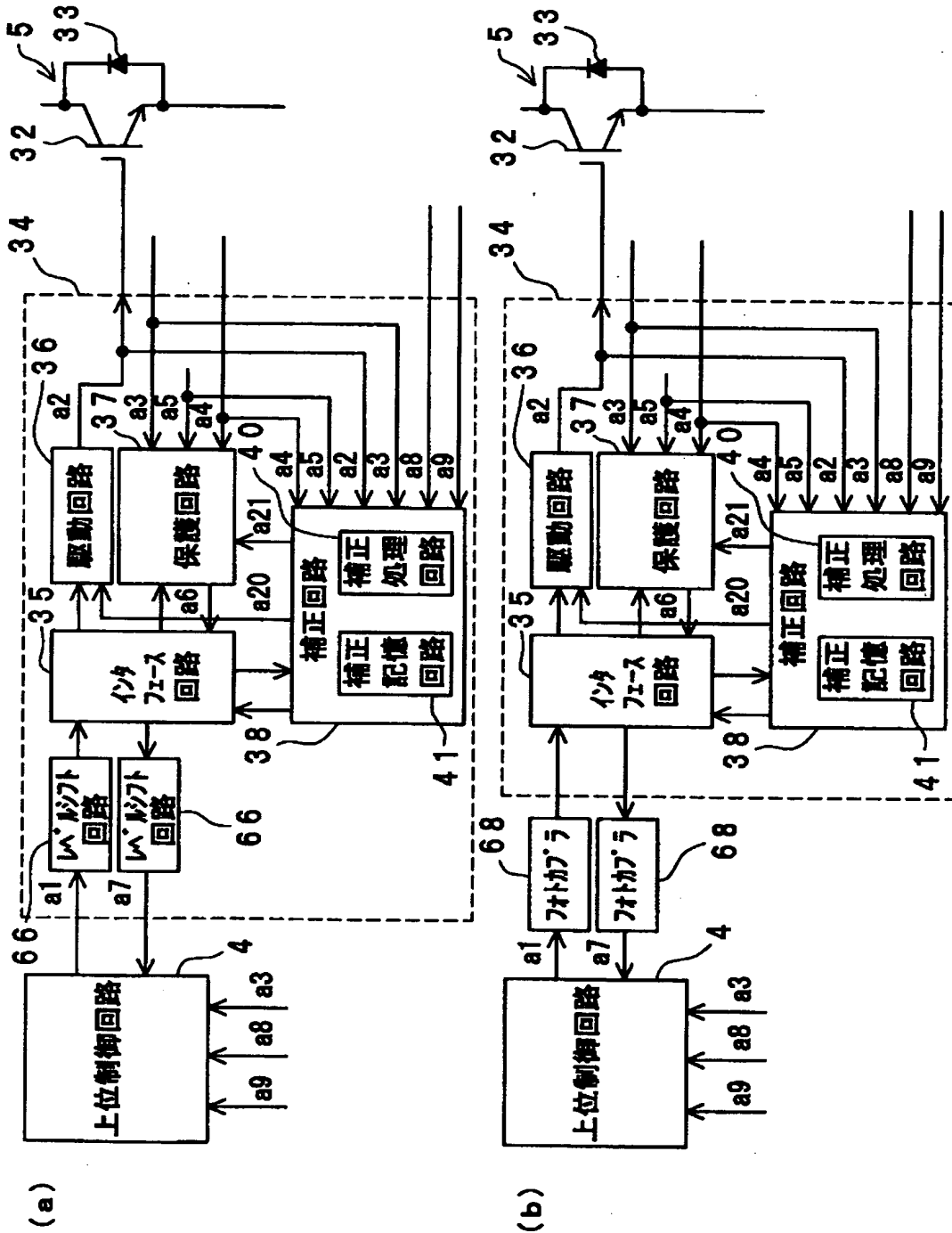
【図15】



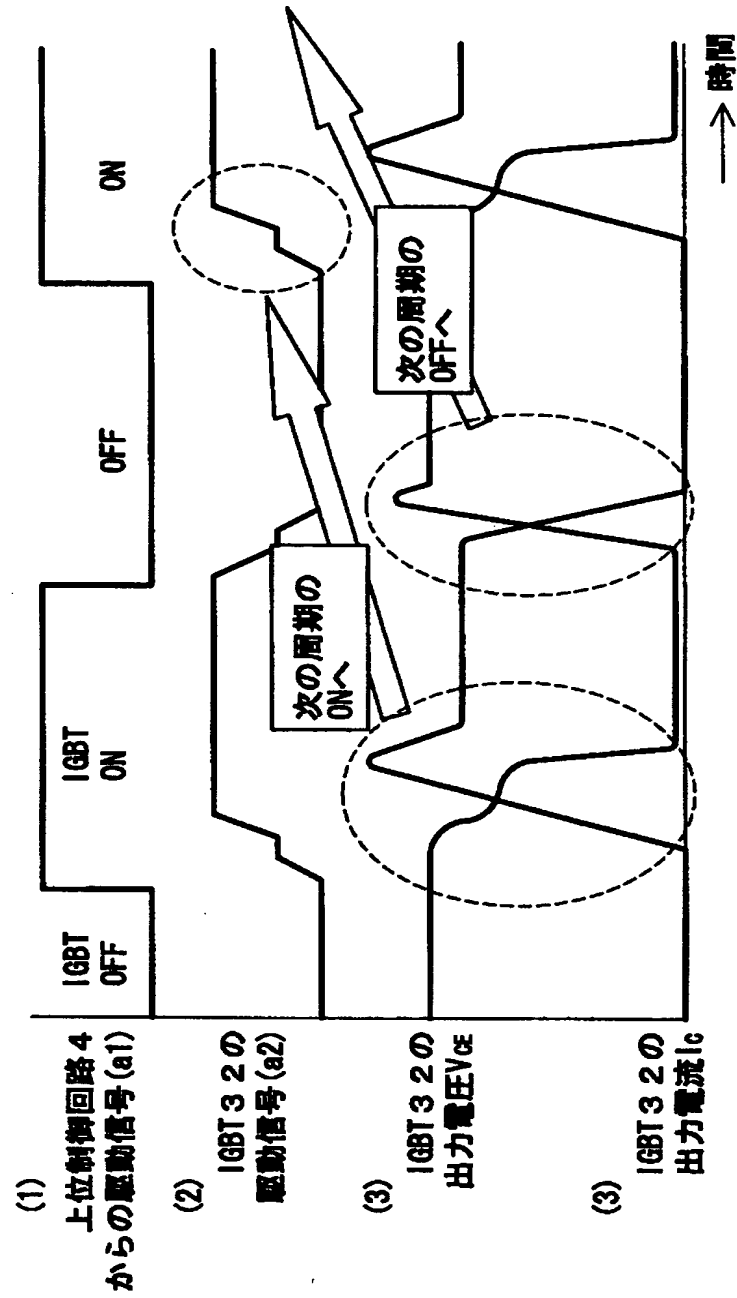
【図16】



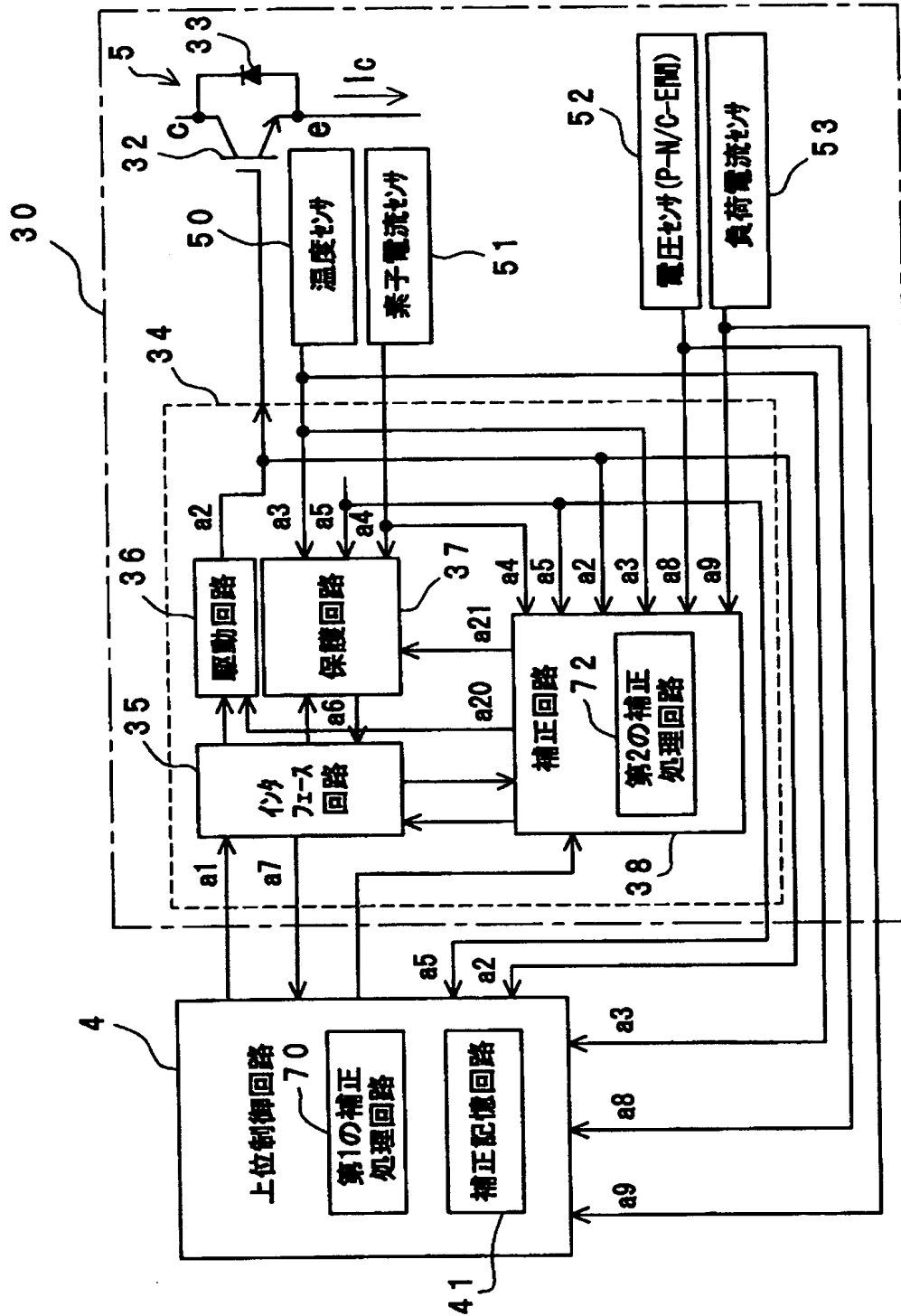
【図17】



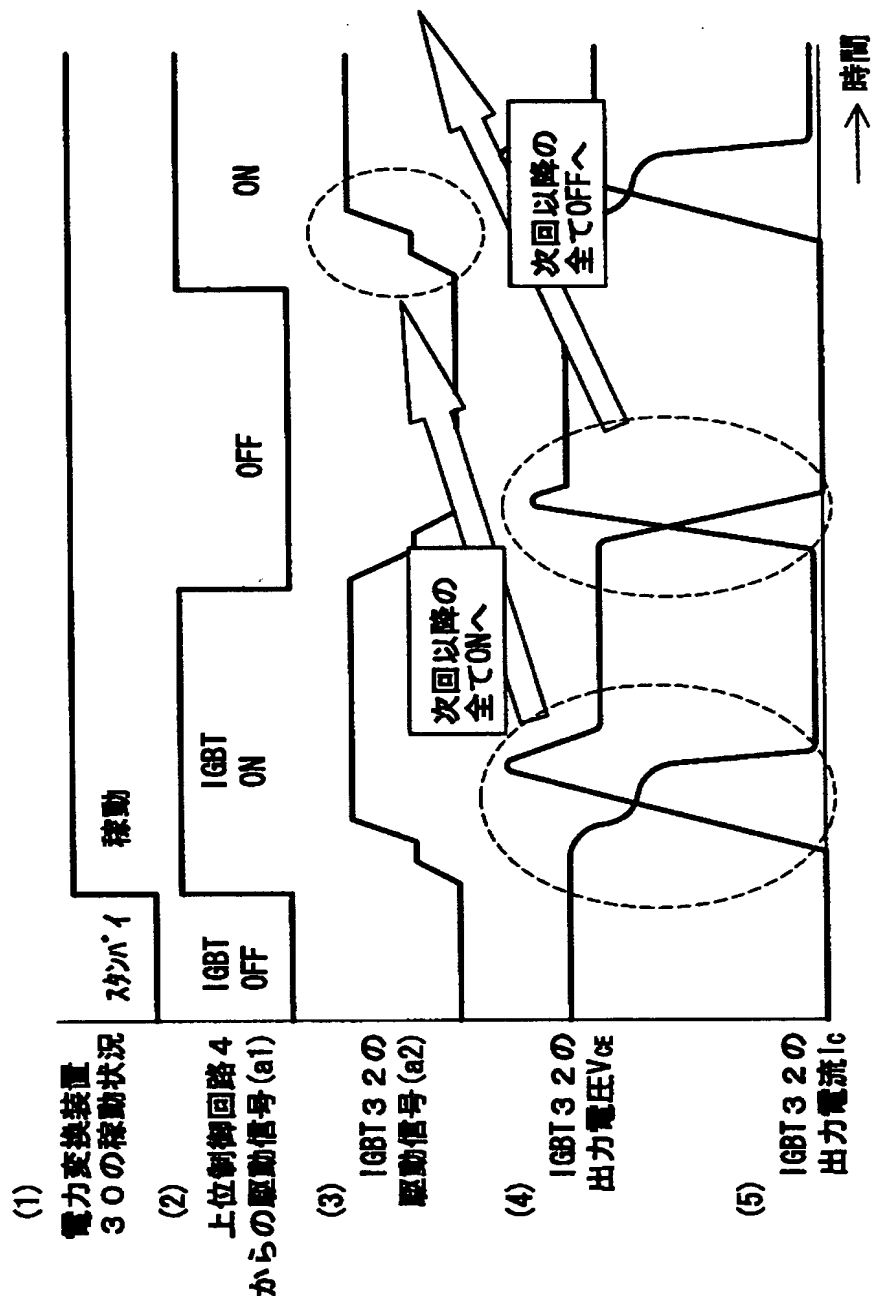
【図 18】



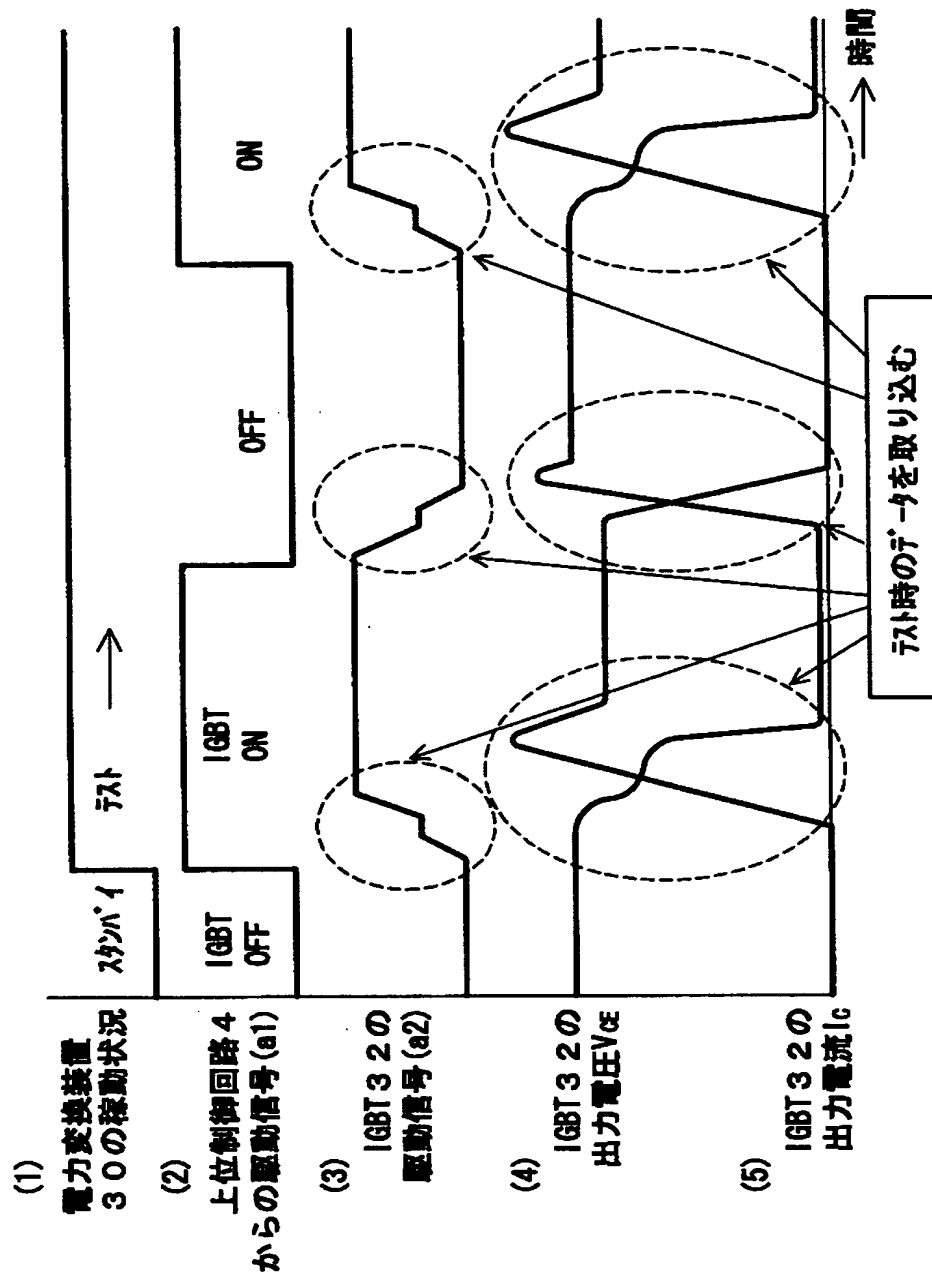
【図19】



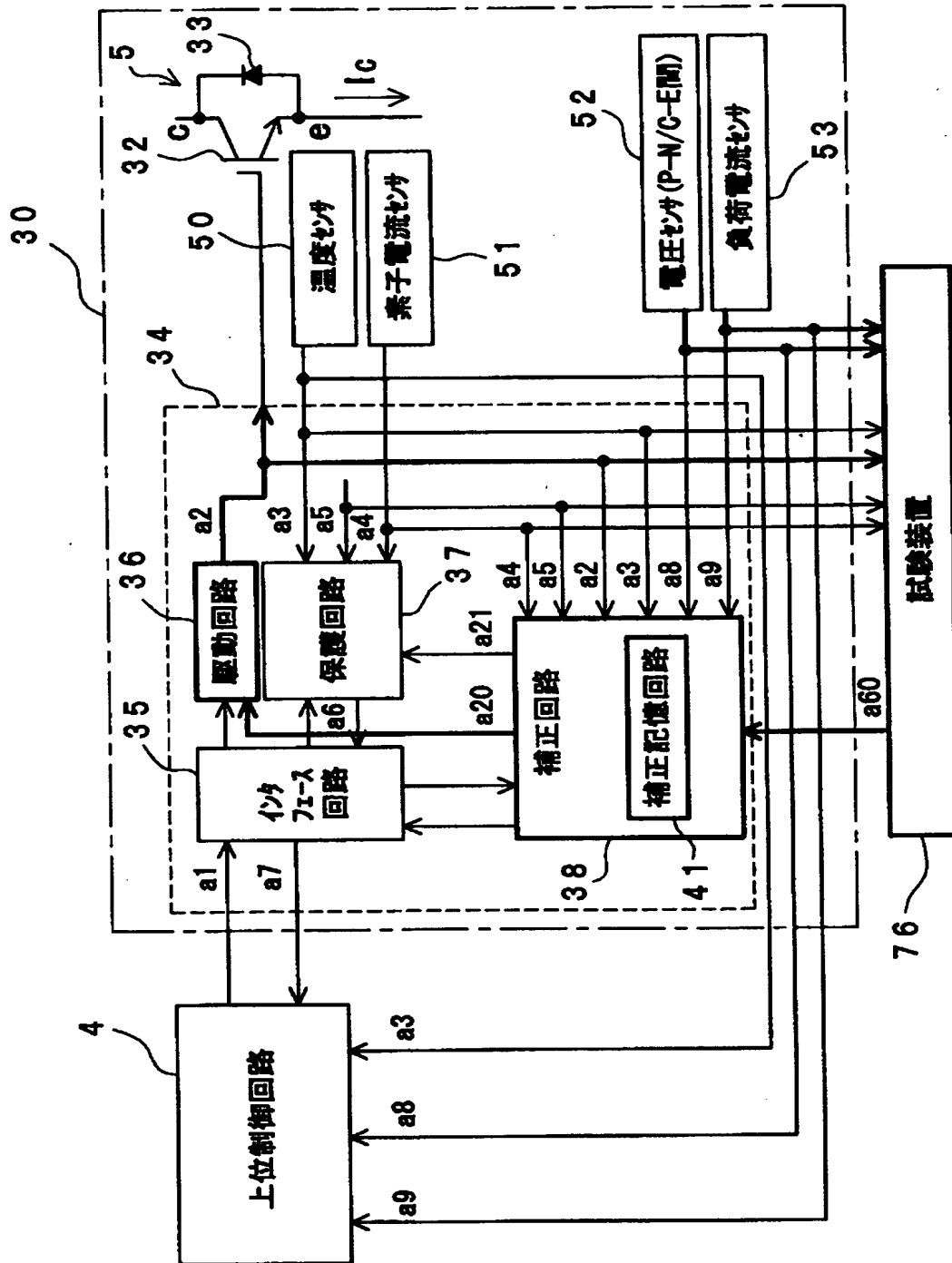
【図 20】



【図 21】

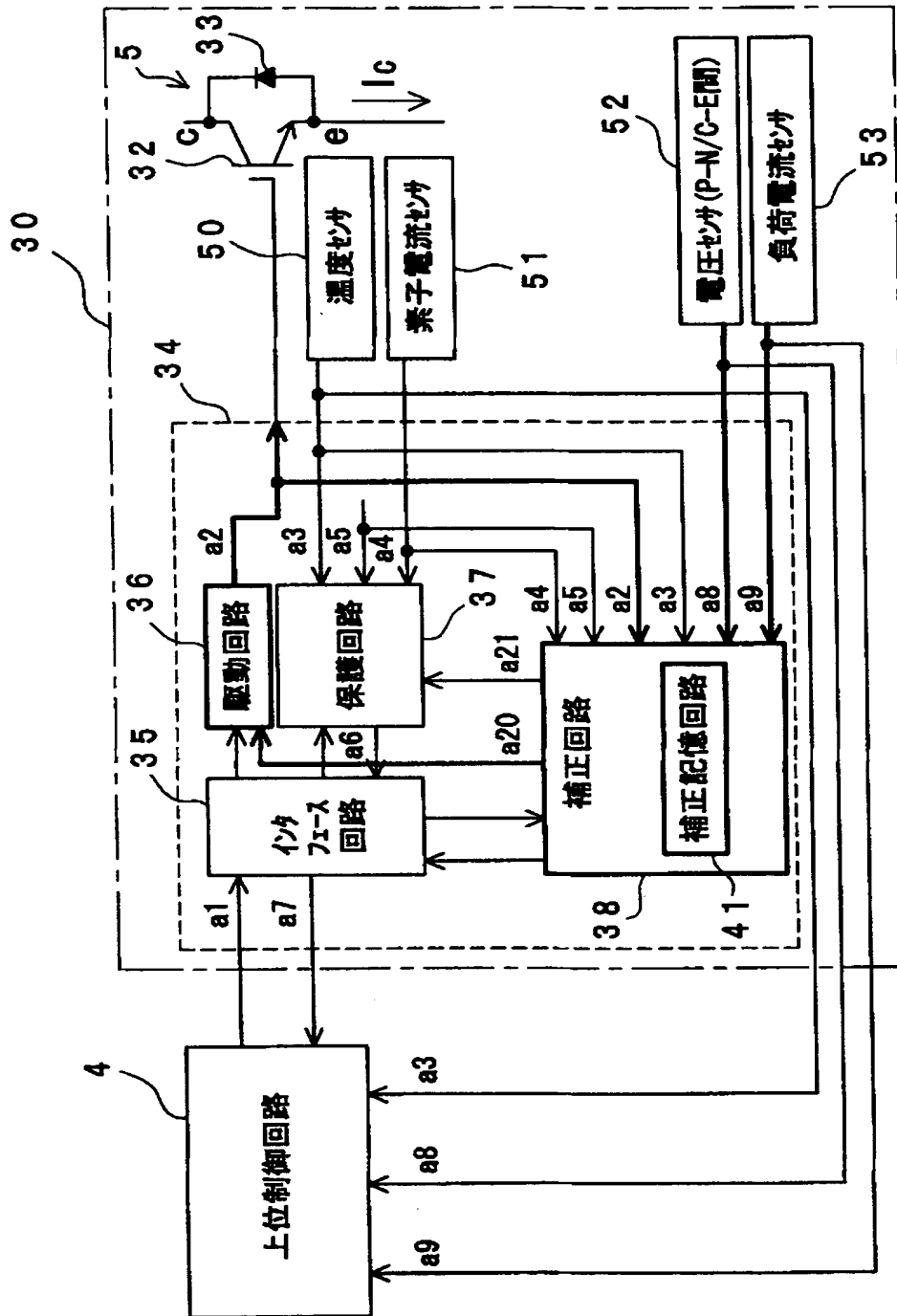


【図22】

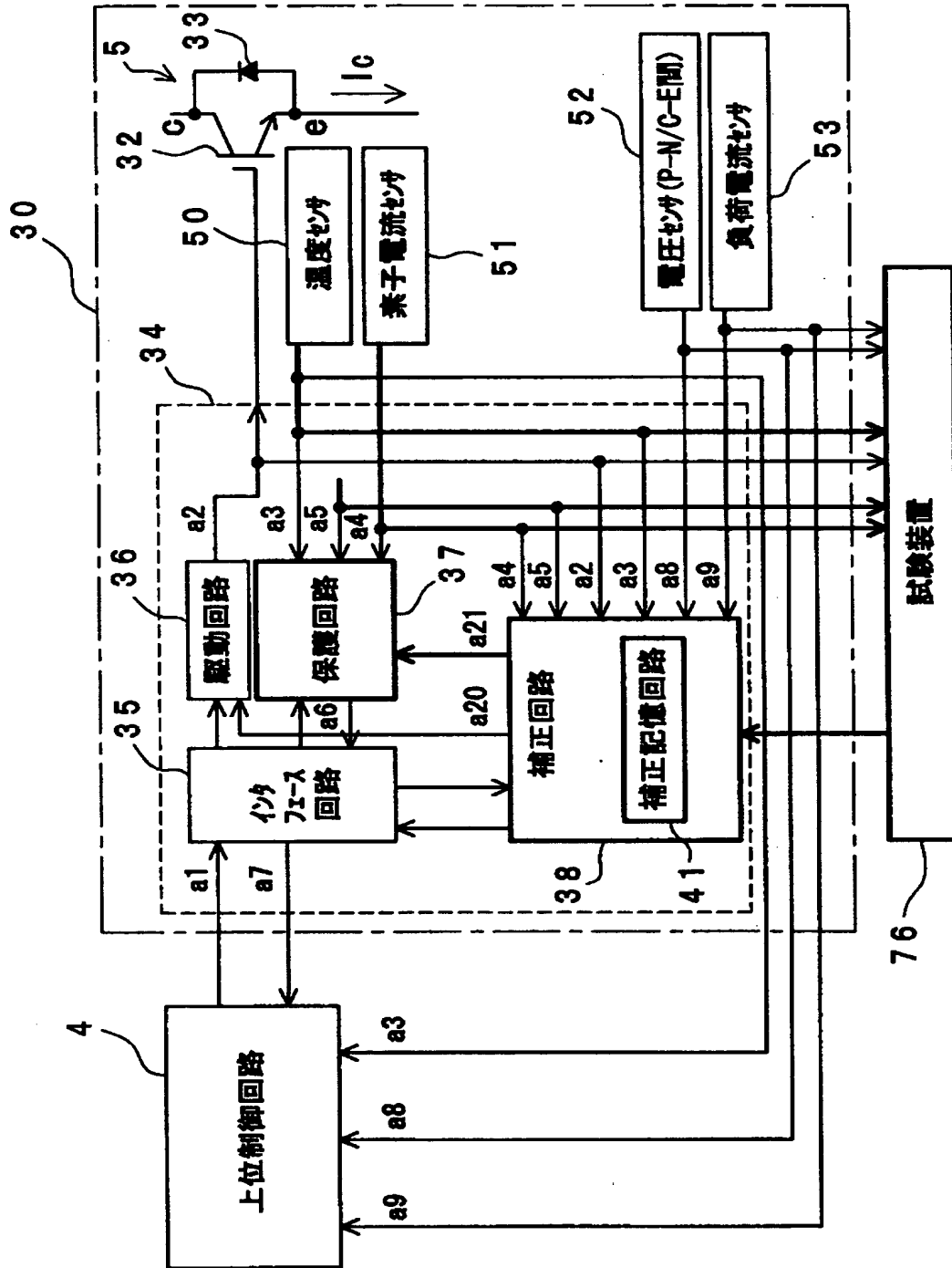




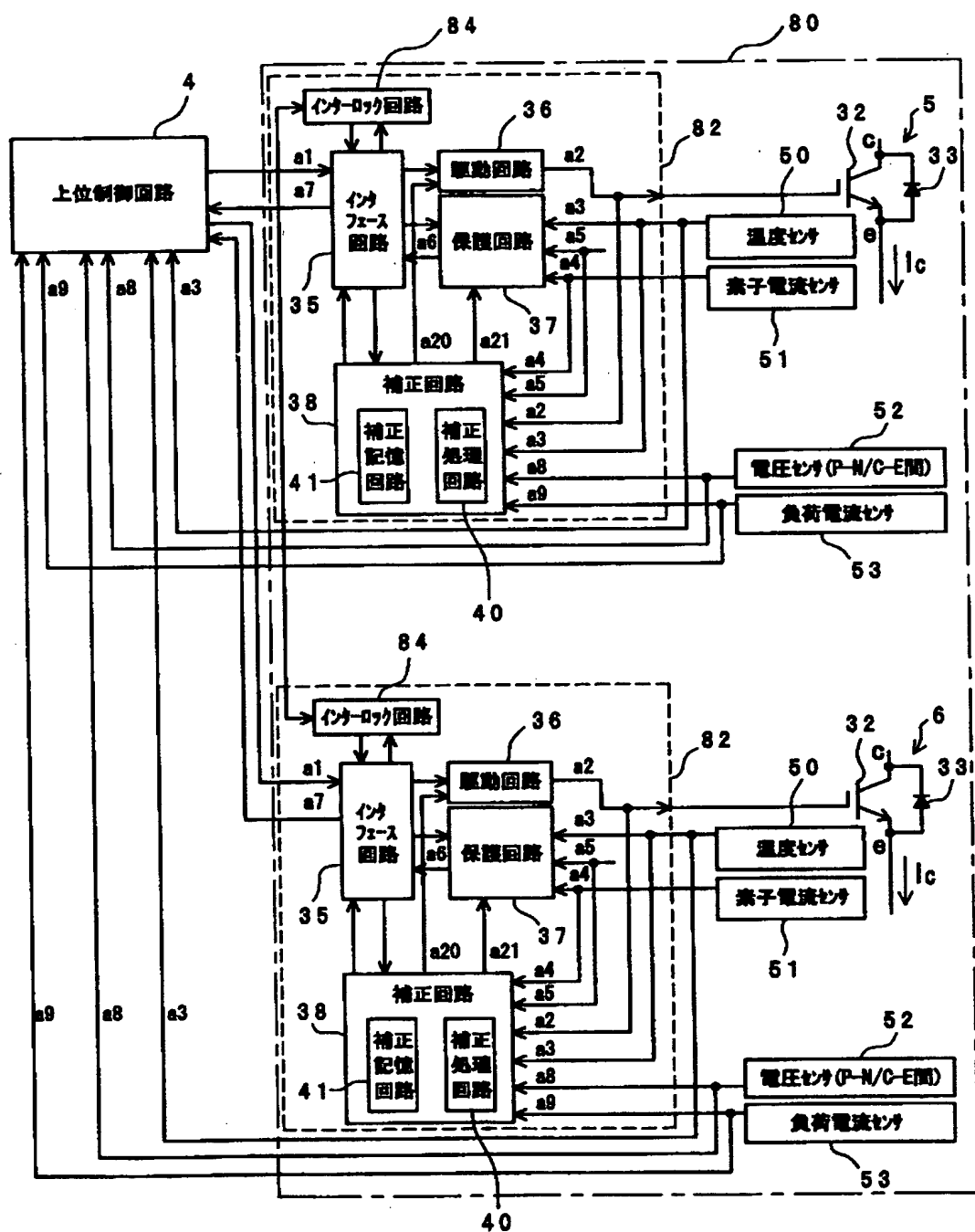
【図23】



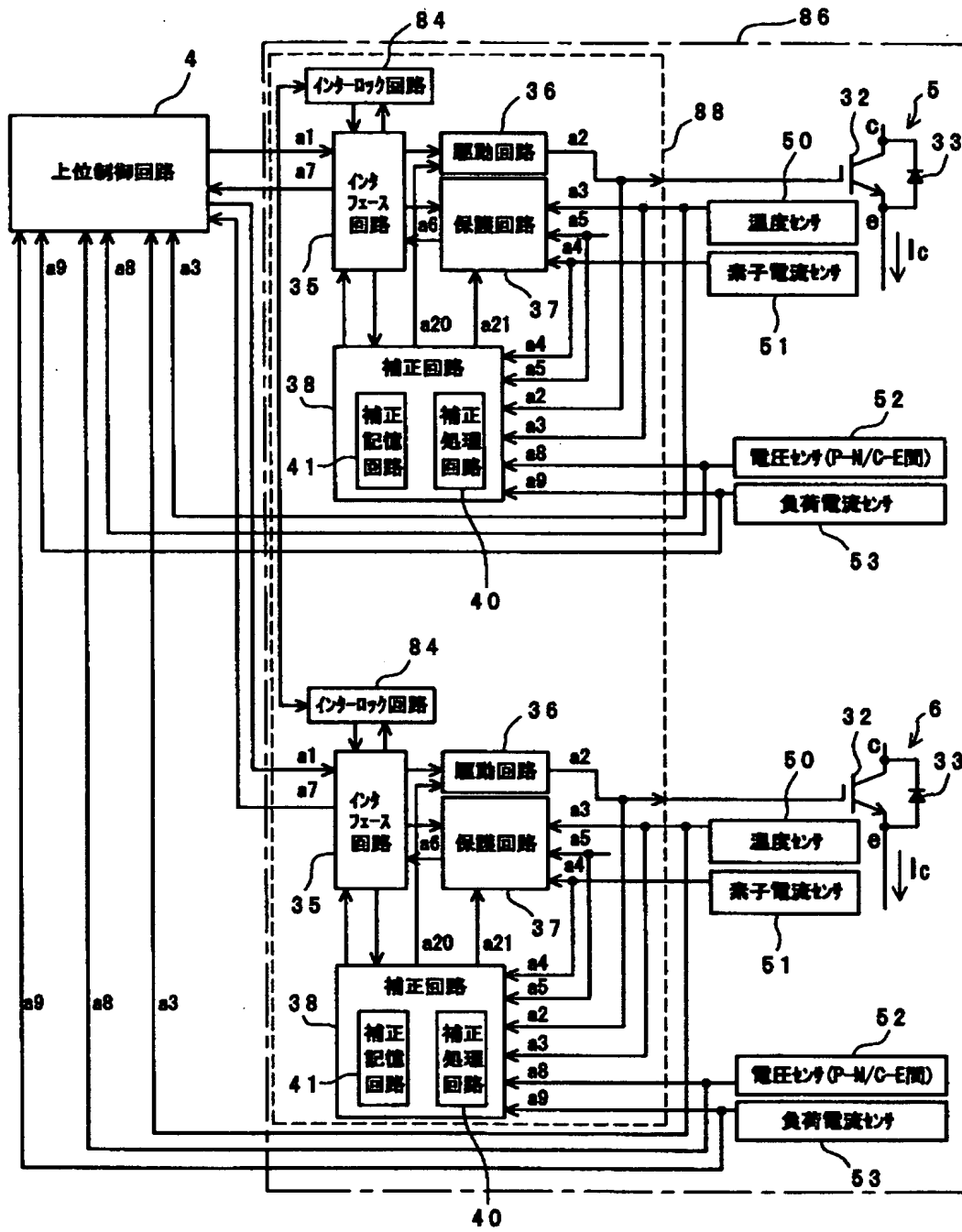
【図 24】



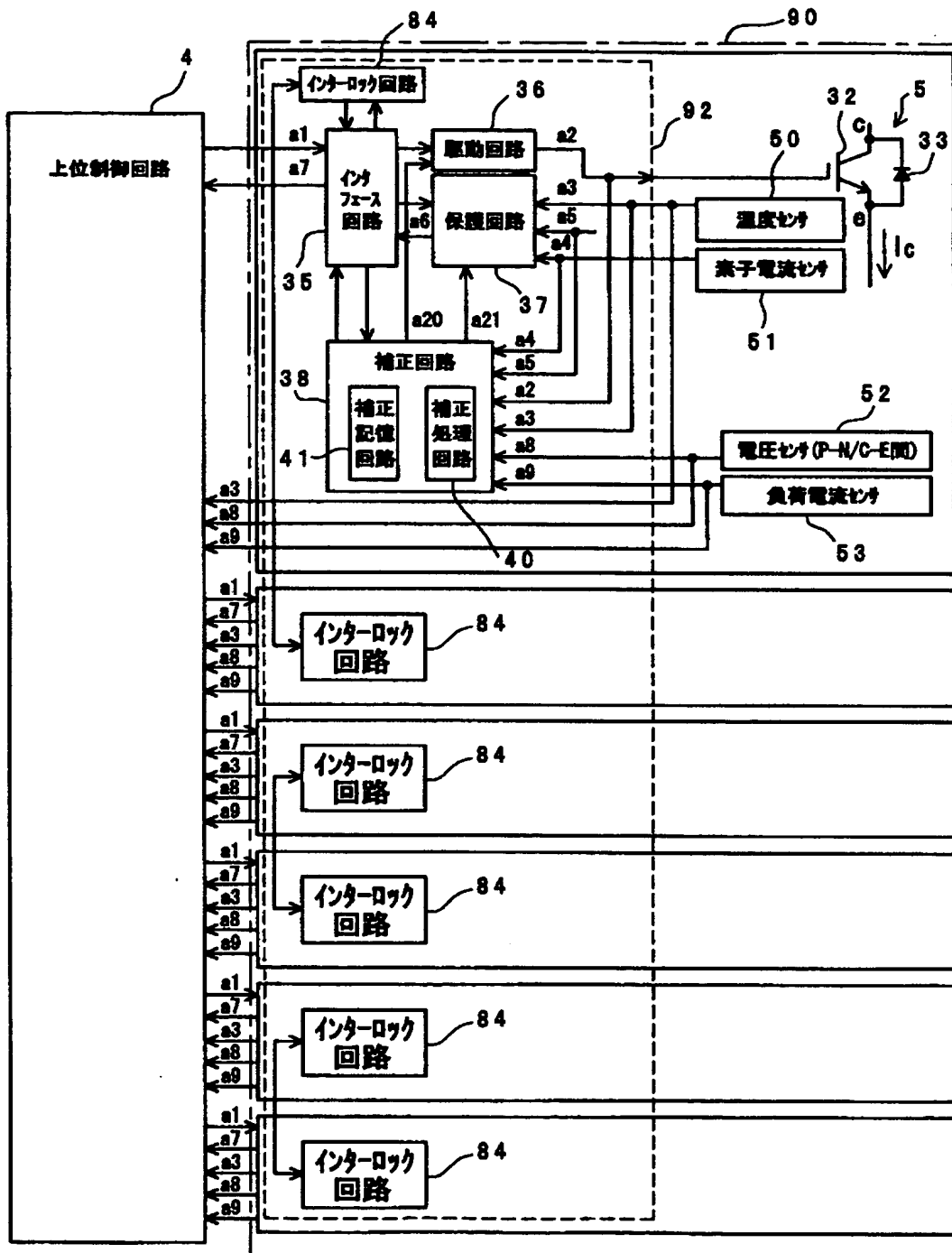
【図 25】



【図 26】



【図 27】



【書類名】            要約書

【要約】

【課題】    環境の変化や経時変化等によって、その特性が影響を受けない電力変換装置を提供する。

【解決手段】    本発明の電力変換装置（30）は、駆動信号（a2）の値を補正する補正回路（38）を含む。補正回路（38）は、駆動信号（a2）、スイッチング素子（5）の出力電圧に応じた第1の信号（a8）およびスイッチング素子（5）の出力電流に応じた第2の信号（a9）が入力されると、第1の信号（a8）の値および第2の信号（a9）の値を演算処理してスイッチング損失を求め、スイッチング損失の値を第1の基準値と比較し、かつ、第1の信号（a8）の値を第2の基準値と比較し、スイッチング損失の値が第1の基準値を超えること、および、第1の信号（a8）の値が第2の基準値を超えることの少なくとも一方を満たす場合に、その超えた値が対応する基準値以下になるように駆動信号の値を補正する。

【選択図】            図2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社